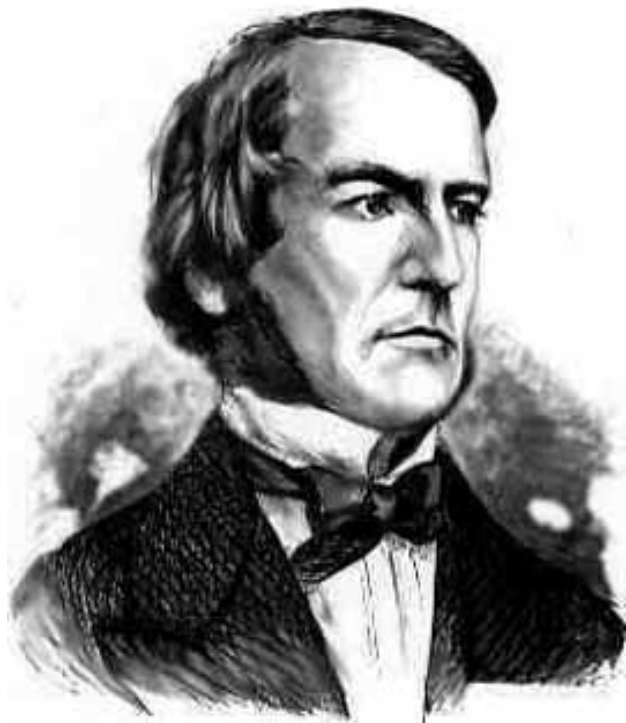
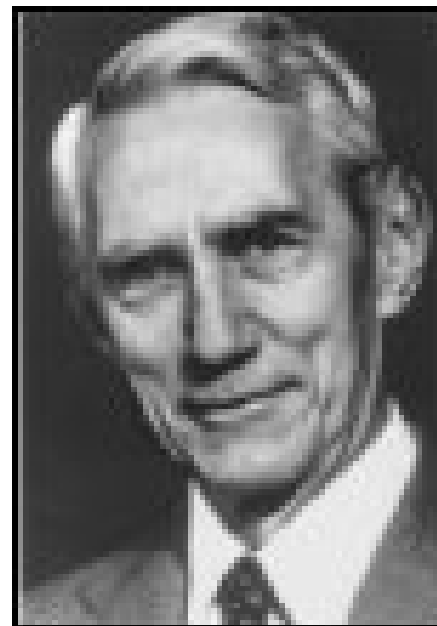
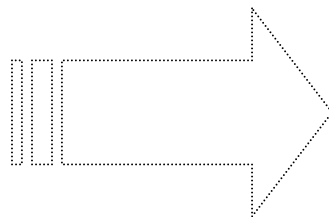


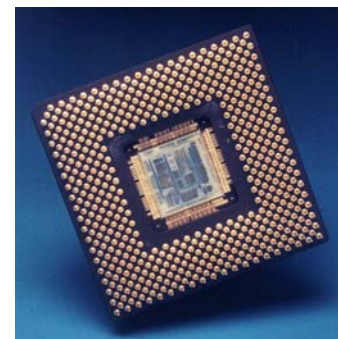
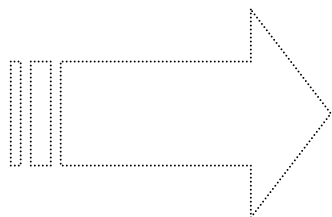
Číslicové obvody



George Boole
1815 - 1864

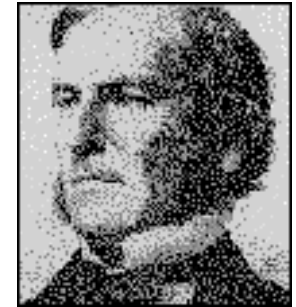


Claude Shannon
1916 - 2001



Číslicové obvody

teoretickým základem je Booleova algebra



1847 – „*The Mathematical Analysis of Logic*“

George Boole
1815 - 1864

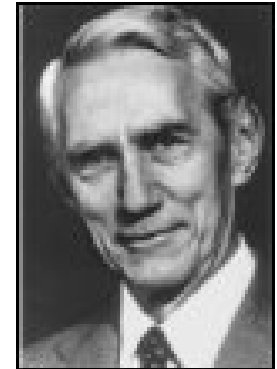
true-false

zero-one

yes-no

on-off

uvedená do elektronické praxe C. Shannonem



Claude Shannon
1916 - 2001

1948 – „*A Mathematical Theory of Communication*“ Bell Labs

true-false

zero-one

Číslicové obvody

yes-no

on-off

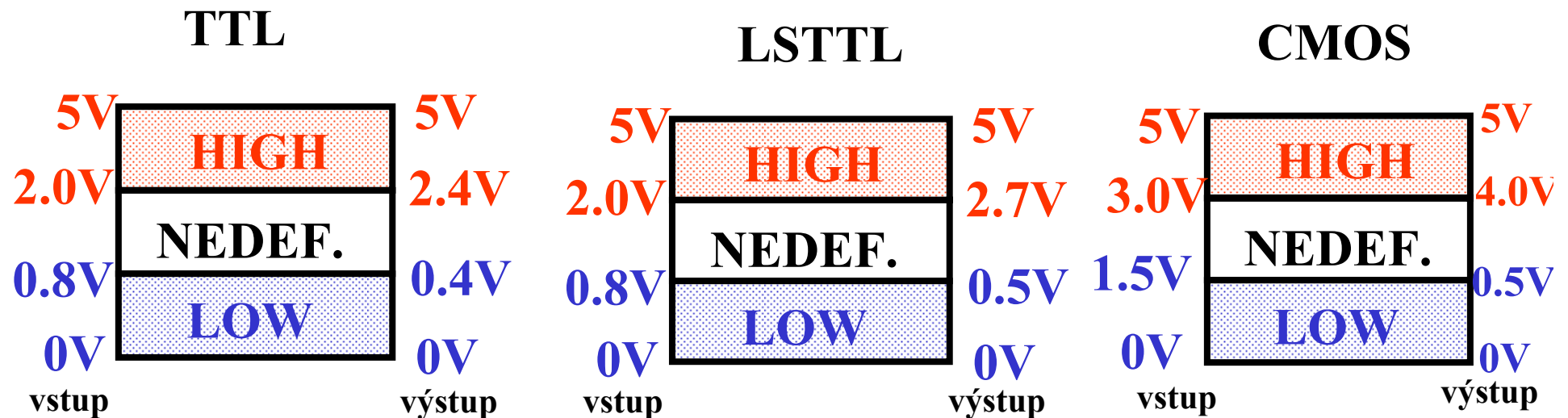
pracují s dvouhodnotovým signálem (2 úrovně)

např. 0 – 0.4 V je logická nula – nepravda (LOW state) *TTL*

např. 0 – 1.5 V je logická nula – nepravda (LOW state) *CMOS*

např. 2.0 – 5.0 V je logická jednička – pravda (HIGH state) *TTL*

např. 3.5 – 5.0 V je logická jednička – pravda (HIGH state) *CMOS*



⇒ šumová odolnost

⇒ jednoduché a levné obvody

⇒ snadná detekce log. stavů

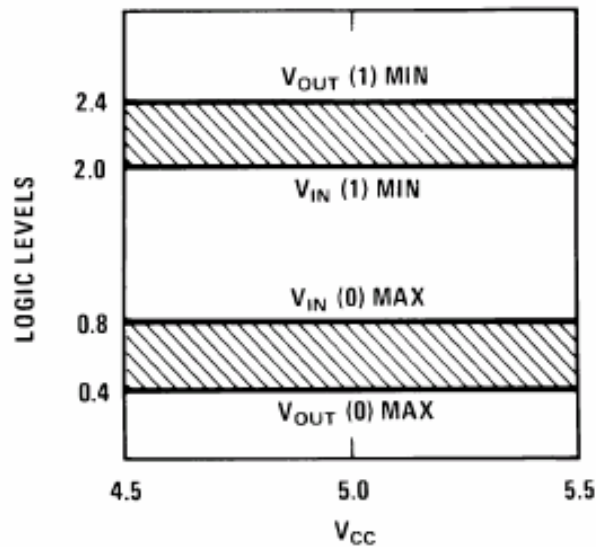
5V → 3.3V → 2.5V → 1.8V → ...

Šumová imunita (odolnost)

V_{OUT}

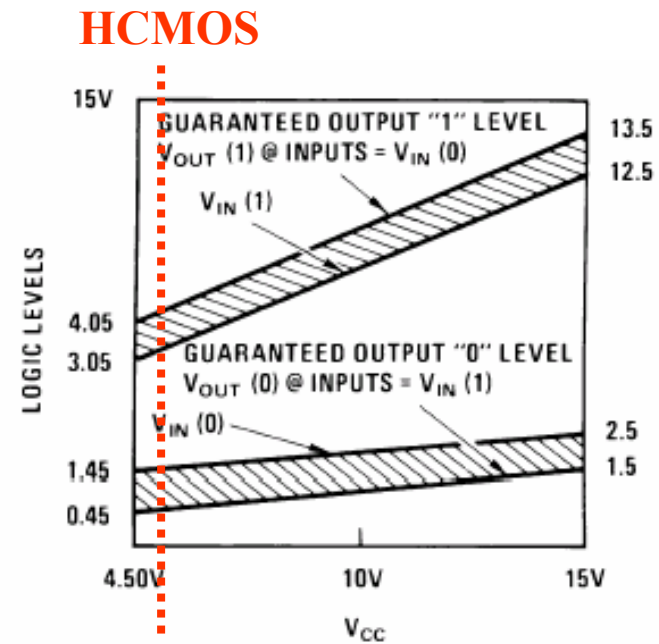
je **rozdíl** výrobcem zaručované elektrické výstupní hodnoty a přípustné vstupní hodnoty signálu pro danou logickou hodnotu.

V_{IN}



AN006019-10

FIGURE 6. Guaranteed **TTL** DC margin over temperature as a function of V_{CC} .

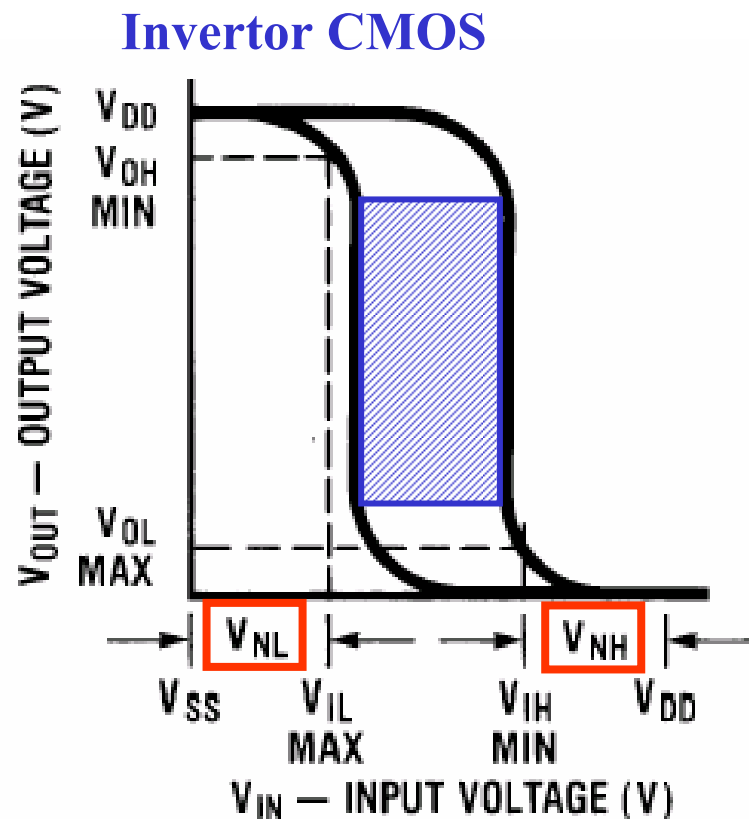


AN006019-9

FIGURE 4. Guaranteed **CMOS** DC margin over temperature as a function of V_{CC} .
CMOS Guarantees 1V.

Šumová imunita (odolnost)

je **rozdíl** výrobcem zaručované elektrické výstupní hodnoty a přípustné vstupní hodnoty signálu pro danou logickou hodnotu.



Šumová imunita

je maximální šumové napětí, které se může objevit na vstupu, aniž by došlo k přepnutí výstupu z jednoho stavu do druhého.

V_{NL} = low level noise immunity
 V_{NH} = high level noise immunity

CMOS: norma garantuje 30% U_{DD}

výrobní rozptyl převodní charakteristiky

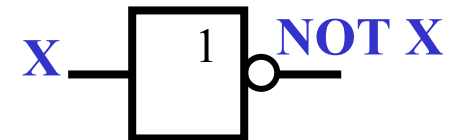
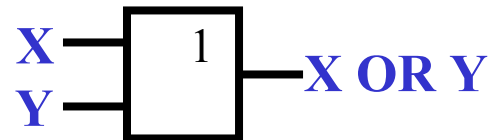
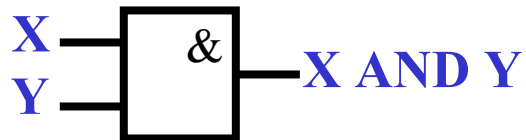
Číslicové obvody

realizují základní logické funkce

Negace (NOT)

Logický součet (OR)

Logický součin (AND)



součin

X	Y	X AND Y
1	1	1
1	0	0
0	0	0
0	1	0

součet

X	Y	X OR Y
1	1	1
1	0	1
0	0	0
0	1	1

negace

X	NOT X
1	0
0	1

pravdivostní tabulky

Číslicové obvody

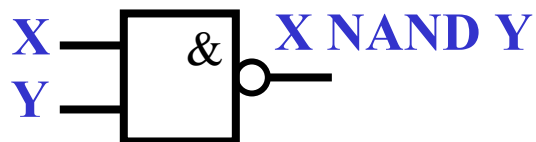
realizují významné logické funkce

Negovaný logický součet (NOR)

Negovaný logický součin (NAND)

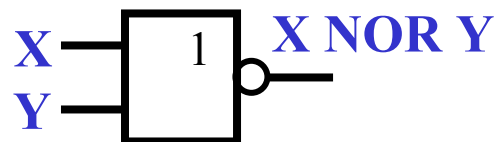
Výhradní logický součet (XOR)

atd. ...



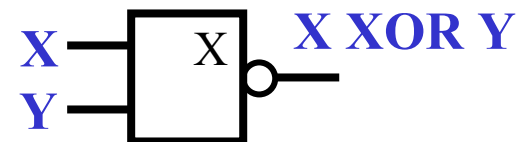
součin

X	Y	X NAND Y
1	1	0
1	0	1
0	0	1
0	1	1



součet

X	Y	X NOR Y
1	1	0
1	0	0
0	0	1
0	1	0



exclusive OR

výhradní součet

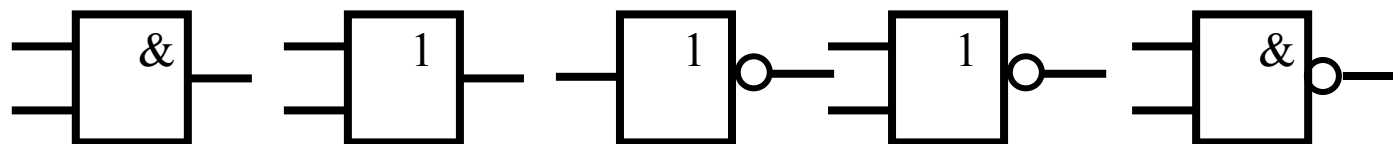
X	Y	X XOR Y
1	1	0
1	0	1
0	0	0
0	1	1

true-false zero-one

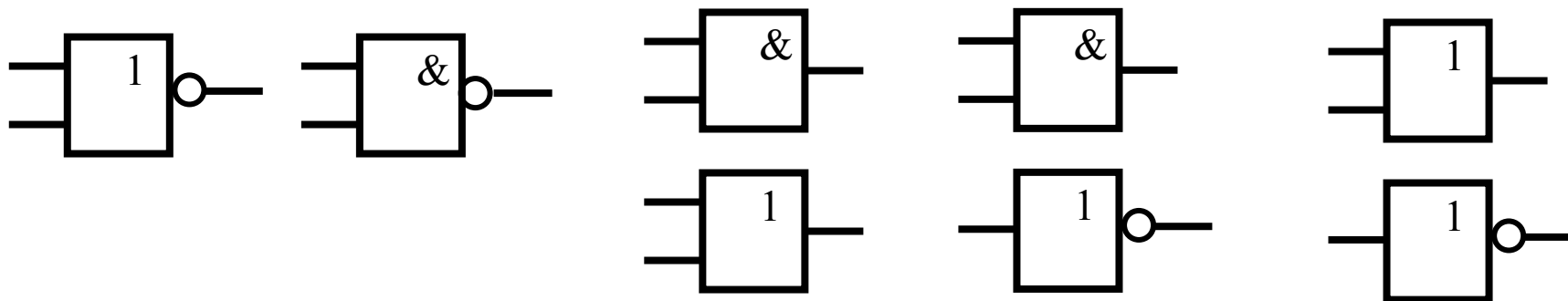
Logické funkce

yes-no on-off

Libovolně složitou logickou funkci lze zjednodušit tak, že ji lze realizovat omezeným počtem logických členů.



Je-li tento soubor těchto log. členů minimální, jedná se o
ÚPLNÝ SOUBOR logických členů.



NOR

NAND

AND+OR

AND+NOT

OR+NOT

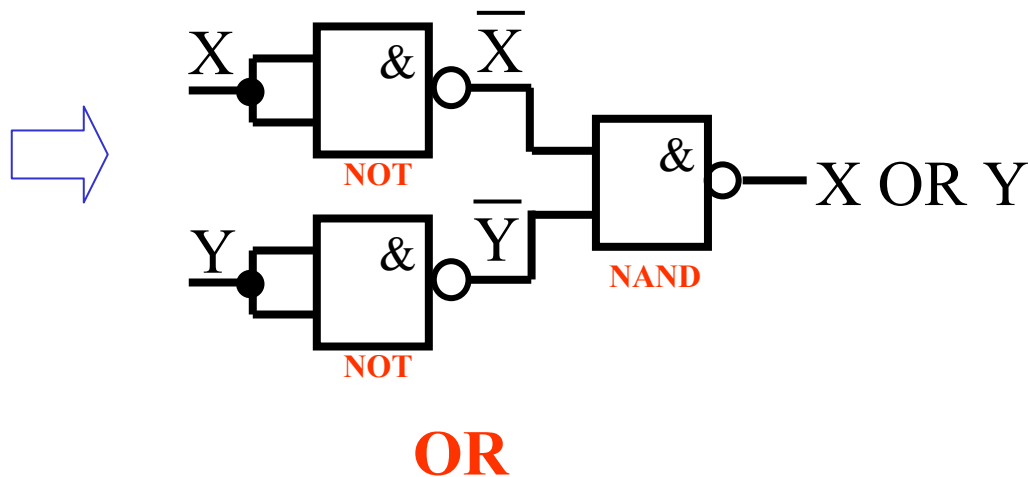
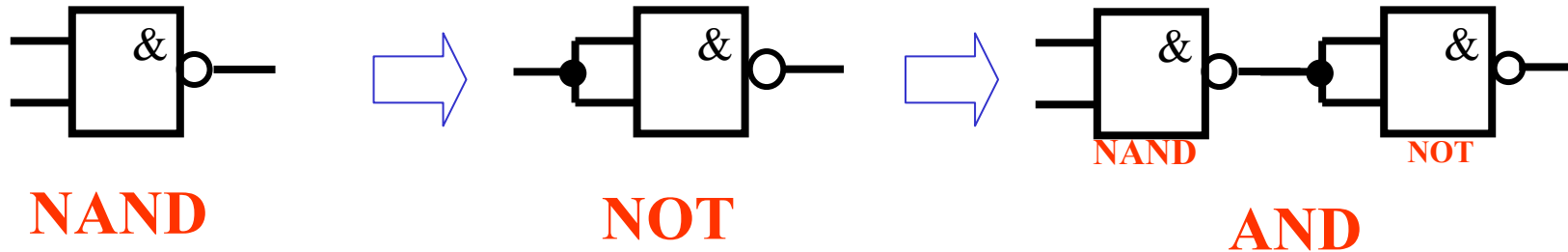
true-false zero-one

Logické funkce

yes-no

on-off

ÚPLNÝ SOUBOR logických členů: Příklad využití



Augustus De Morgan
1806 - 1871

$$\overline{\overline{X} \cdot \overline{Y}} = X + Y$$

Z log. funkce NAND lze vytvořit všechny ostatní, ale vede to na příliš složité obvody \Rightarrow obvykle se využívá více logických funkcí a úprav s pomocí logických identit

Logické identity

$$A \cdot B \cdot C = (A \cdot B) \cdot C = A \cdot (B \cdot C)$$

$$A \cdot B = B \cdot A$$

$$A \cdot A = A$$

$$A \cdot 1 = A \quad A \cdot 0 = 0$$

$$A \cdot (B + C) = A \cdot B + A \cdot C$$

$$A + A \cdot B = A$$

$$A + B \cdot C = (A + B) \cdot (A + C)$$

$$A + B + C = (A + B) + C = A + (B + C)$$

$$A + B = B + A$$

$$A + A = A$$

$$A + 1 = 1 \quad A + 0 = A$$

$$\overline{1} = 0 \quad \overline{0} = 1$$

$$A + \overline{A} = 1$$

$$A \cdot \overline{A} = 0$$

$$\overline{\overline{A}} = A$$

$$A + \overline{A} \cdot B = A + B$$

$$\begin{aligned} \overline{(A + B)} &= \overline{A} \cdot \overline{B} \\ \overline{(A \cdot B)} &= \overline{A} + \overline{B} \end{aligned}$$



Augustus De Morgan
1806 - 1871

$$\overline{\overline{A} \cdot \overline{B}} = A + B$$

Číslicové systémy

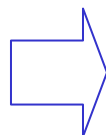
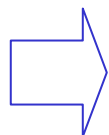
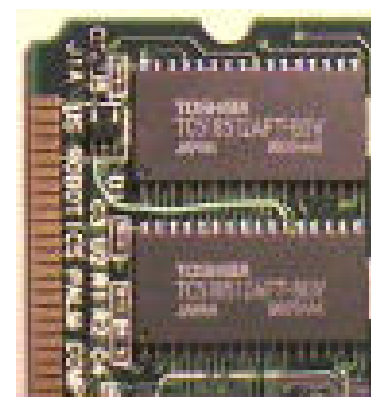
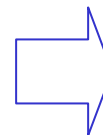
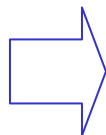
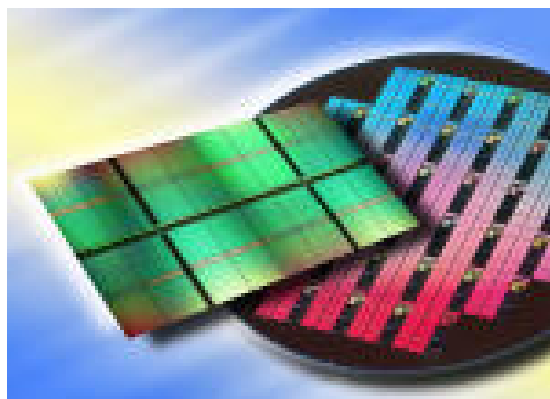
PAMĚTI

MIKROPROCESORY

ČÍSLICOVÉ OBVODY

PAMĚTI

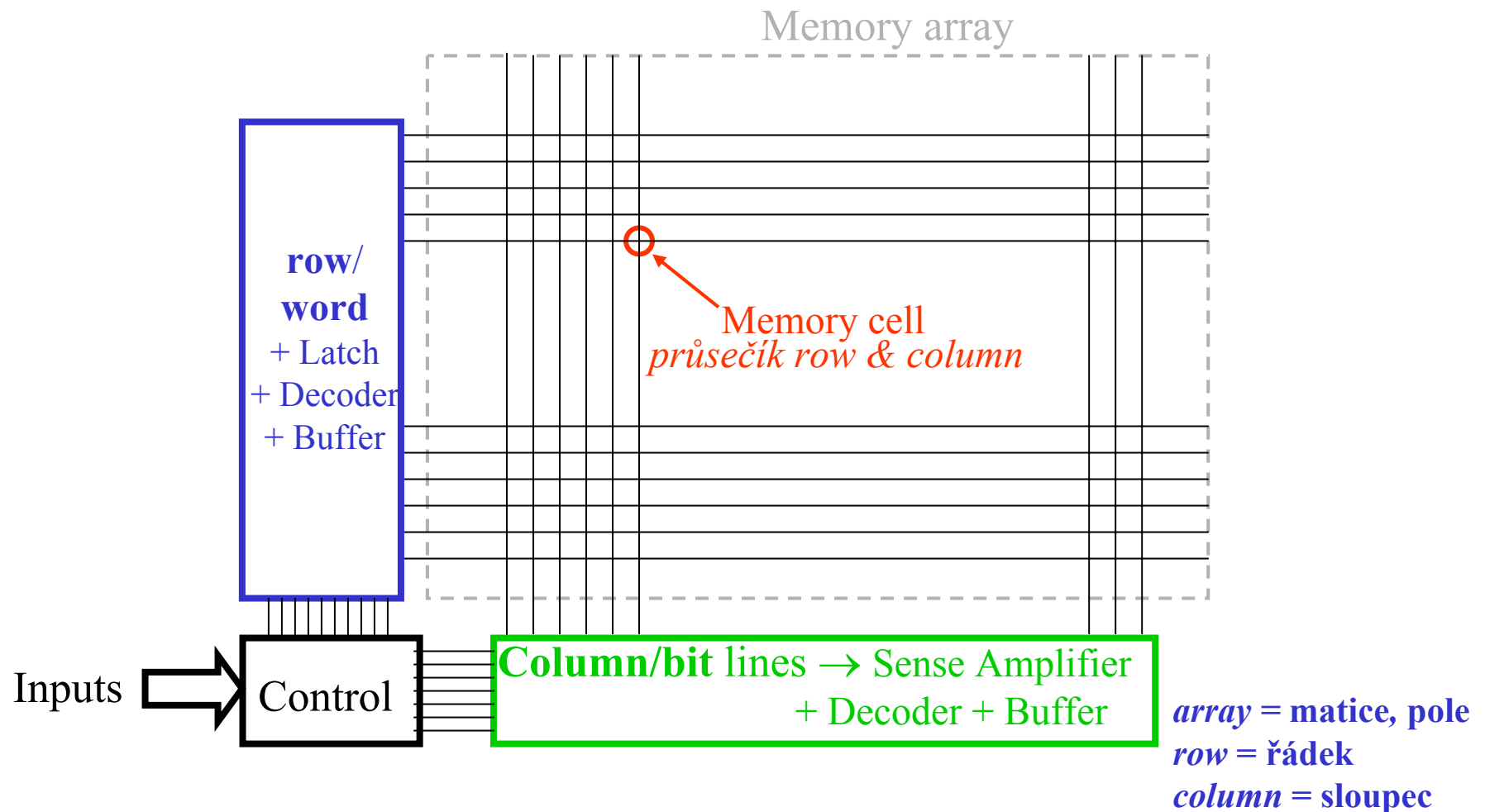
Uchovávají libovolné informace



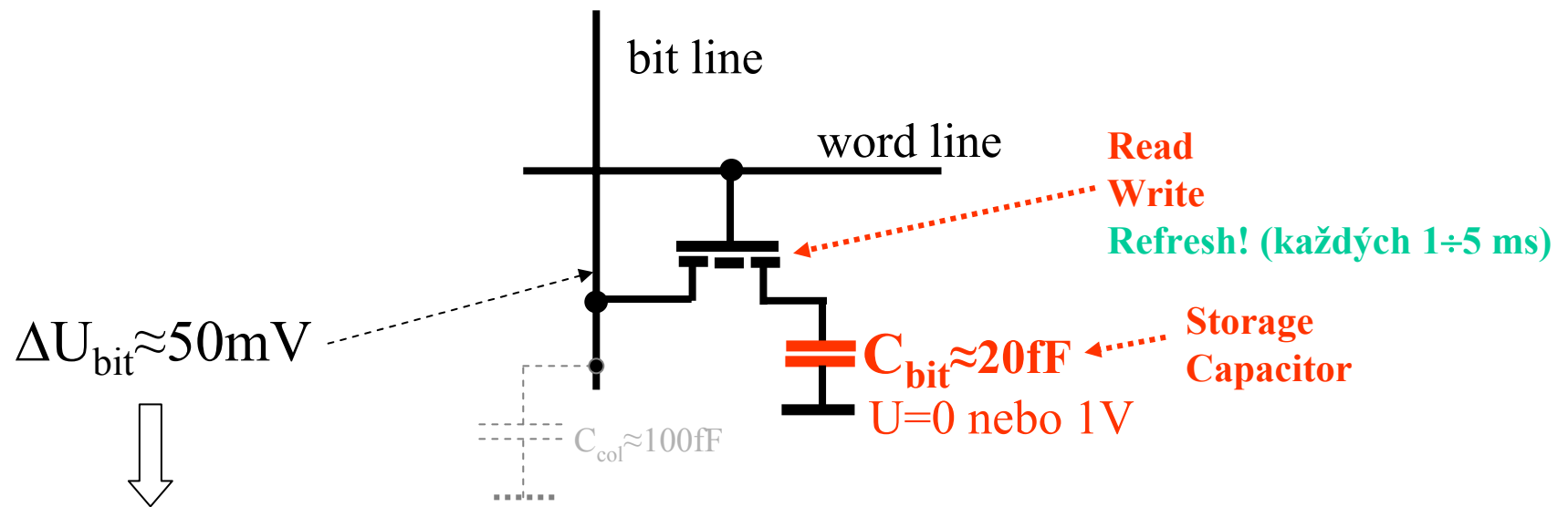
RAM = PAMĚŤ s náhodným přístupem

Random Access Memory

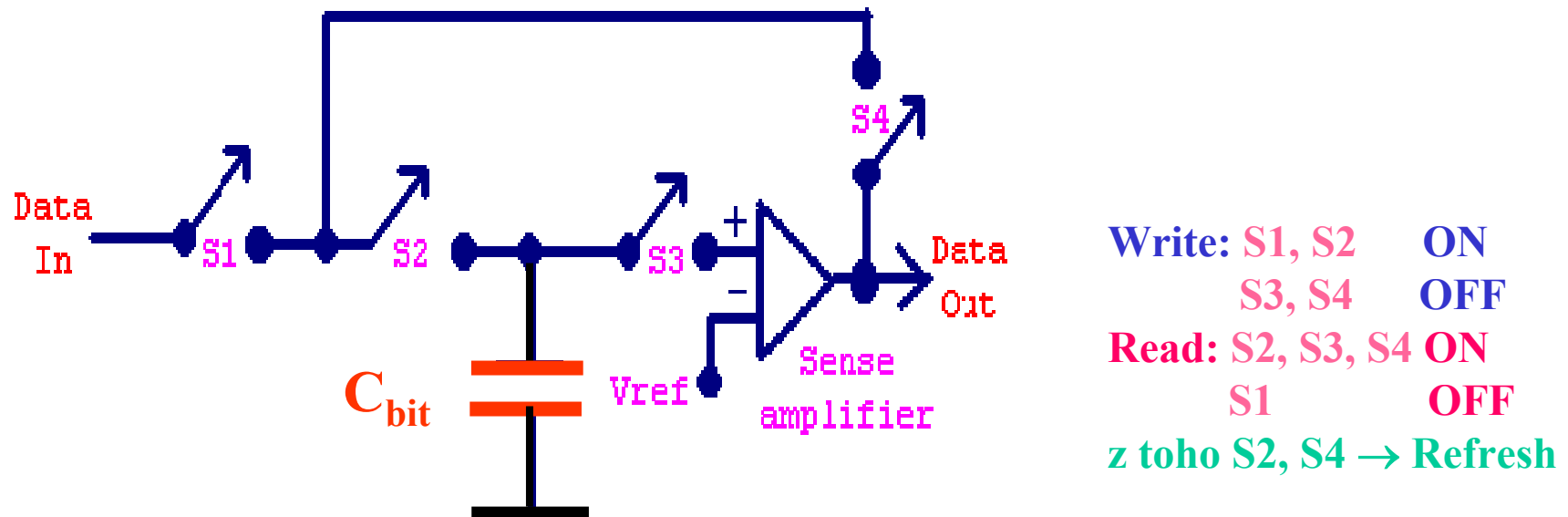
libovolný datový bit je přístupný v libovolném čase



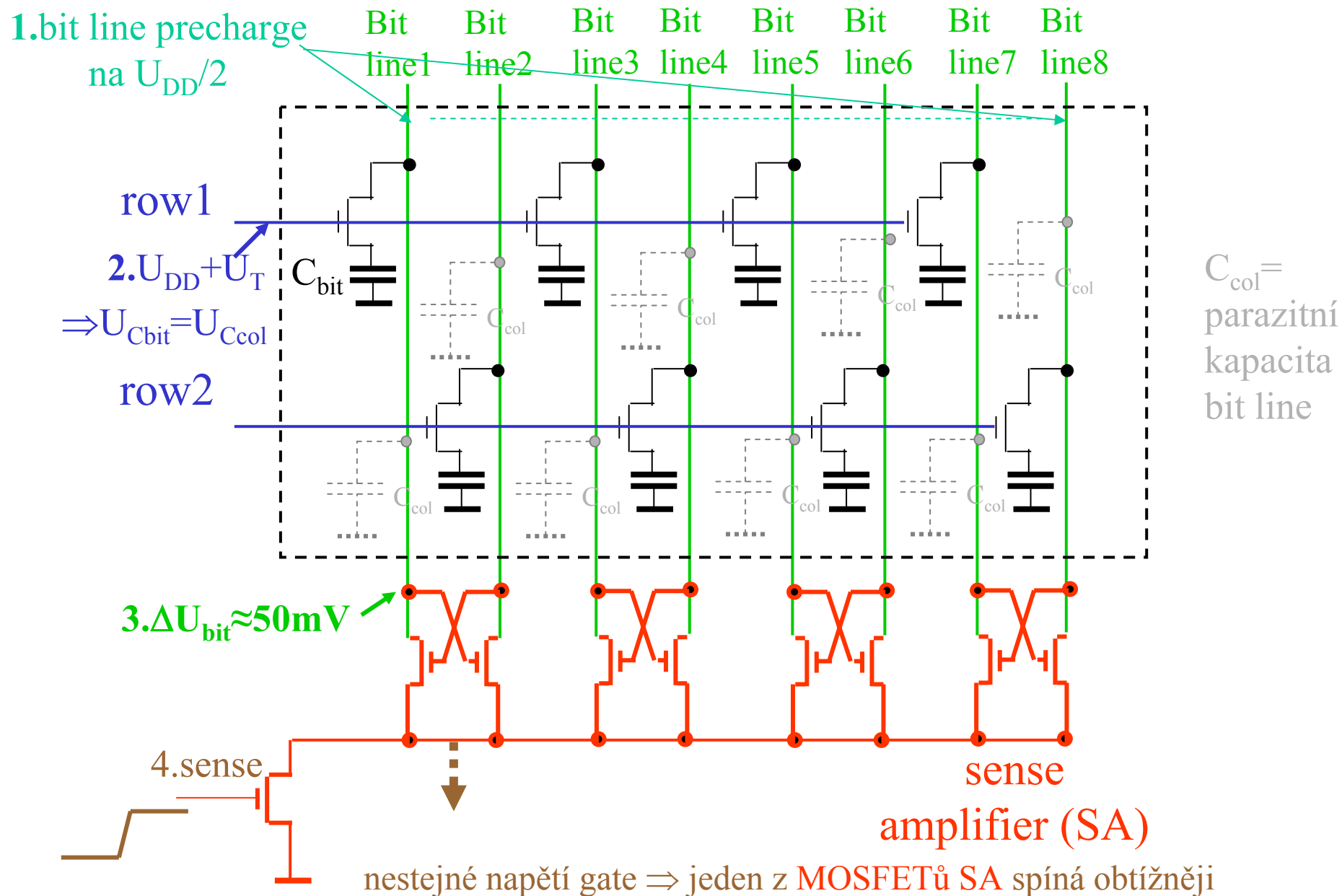
DRAM (Dynamic RAM) Memory Cell „1T1C“



Sense amplifier – budí „bit line“ na platnou log. úroveň (např. 1V).



DRAM *Folded -Area Architecture* (omezuje vliv šumu sousedních MOSFETů)



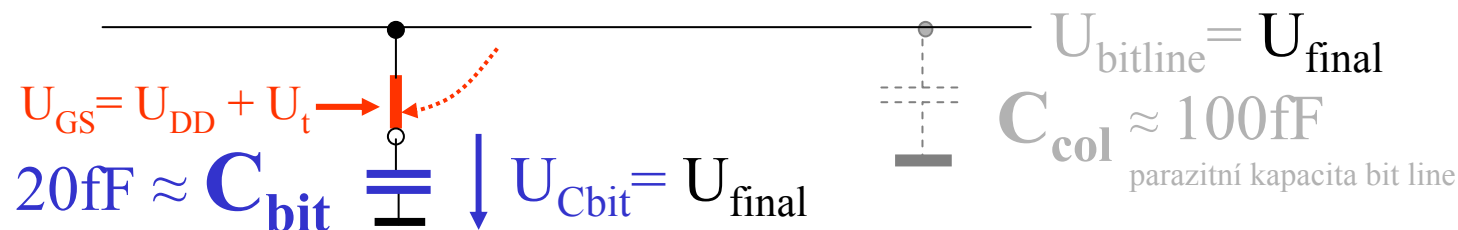
Čtení úrovně „H“ z paměťové buňky - příklad

1. „Bit line precharge“ na $U_{DD}/2 = 0.5V$



$$Q_{total} = C_{bit} \cdot U_{Cbit} + C_{col} \cdot U_{DD}/2$$

2. **MOSFET ON:** $U_{bitline} = U_{DD}/2 \rightarrow U_{final}$, $U_{Cbit} = U_{Ccol} = U_{final}$



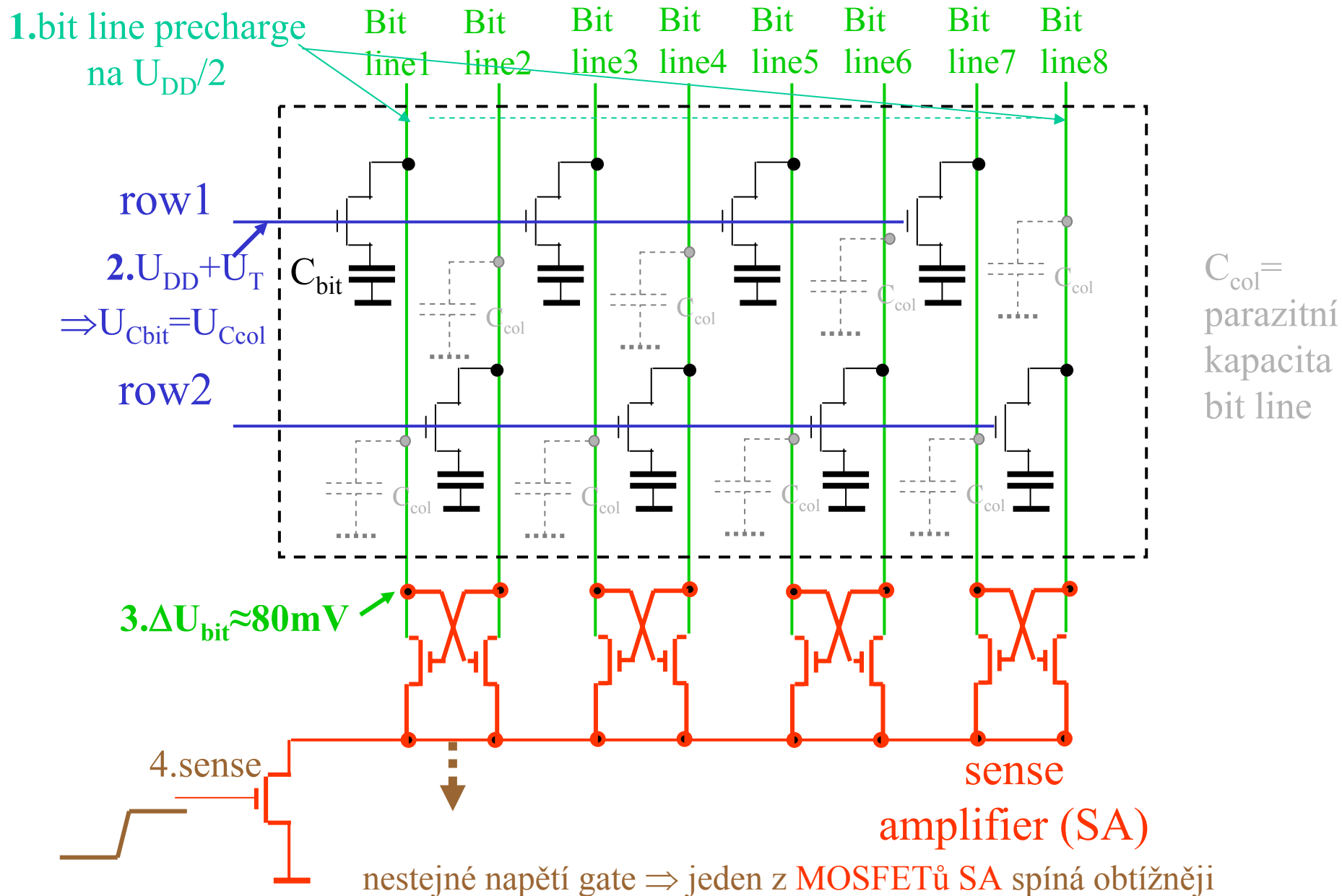
$$Q_{total} = \text{konst.} \Rightarrow U_{final} \cdot (C_{bit} + C_{col}) = C_{bit} \cdot U_{Cbit} + C_{col} \cdot U_{DD}/2$$

$$U_{final} = (C_{bit} \cdot U_{Cbit} + C_{col} \cdot U_{DD}/2) / (C_{bit} + C_{col}) =$$

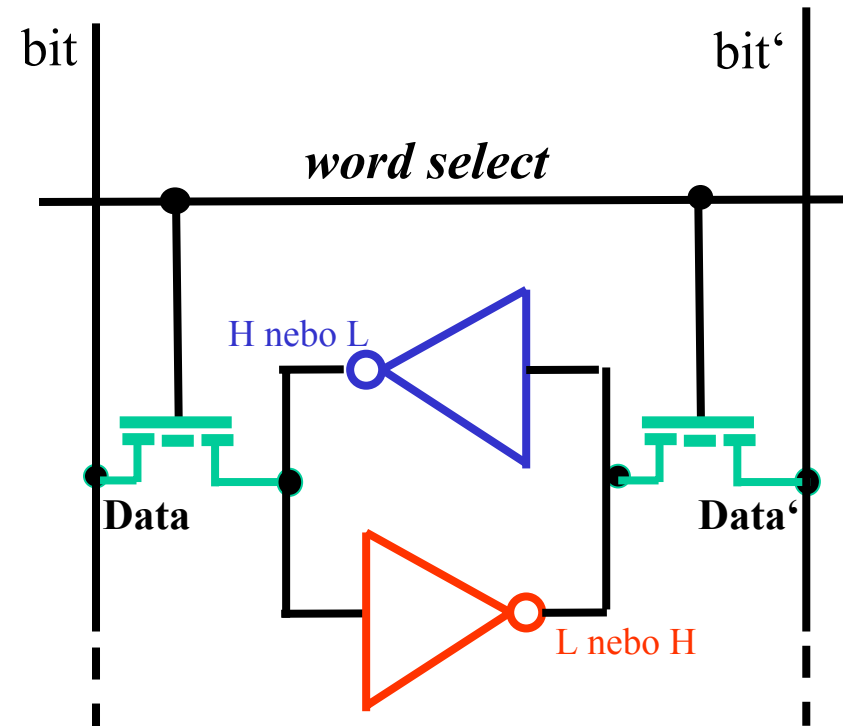
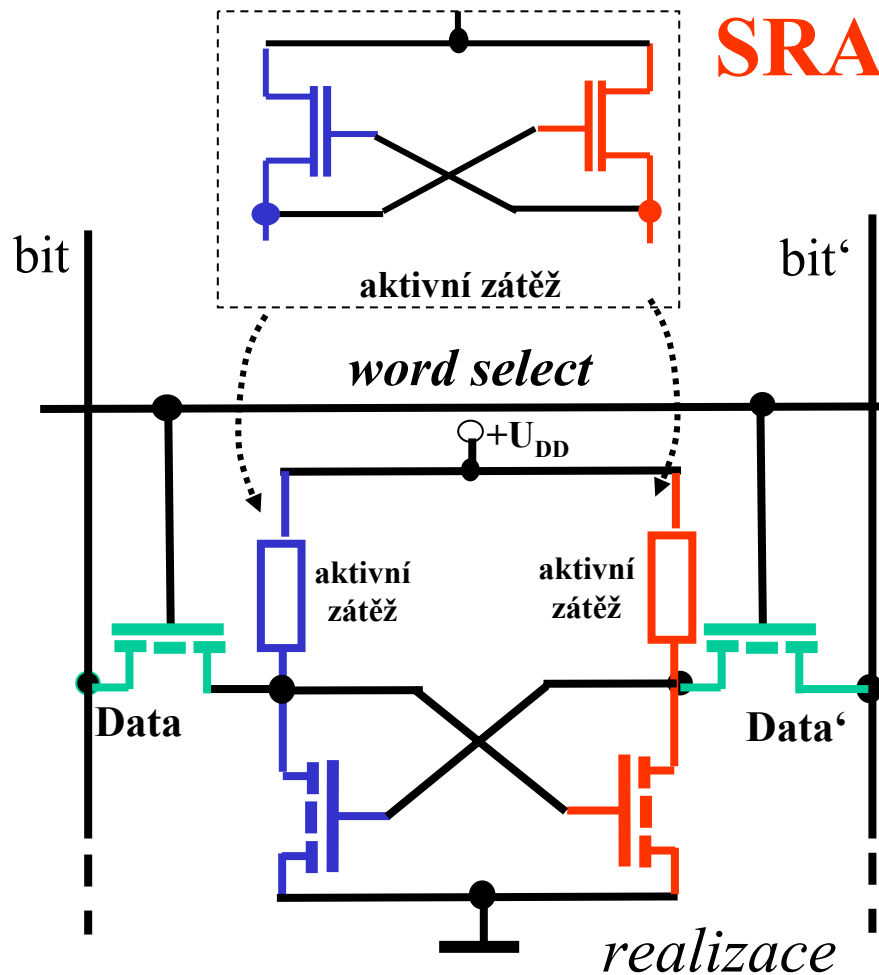
$$= (20 \cdot 1 + 100 \cdot 0.5) / (20 + 100) \approx 0.58V$$

$$\Delta U_{bit} = 80mV$$

DRAM – čtení úrovně H ještě jednou



SRAM - *STATIC* RAM - 6T



Read: *word select* = H \Rightarrow sepnou řídící MOSFETY, obsah buňky se objeví na *bit line*

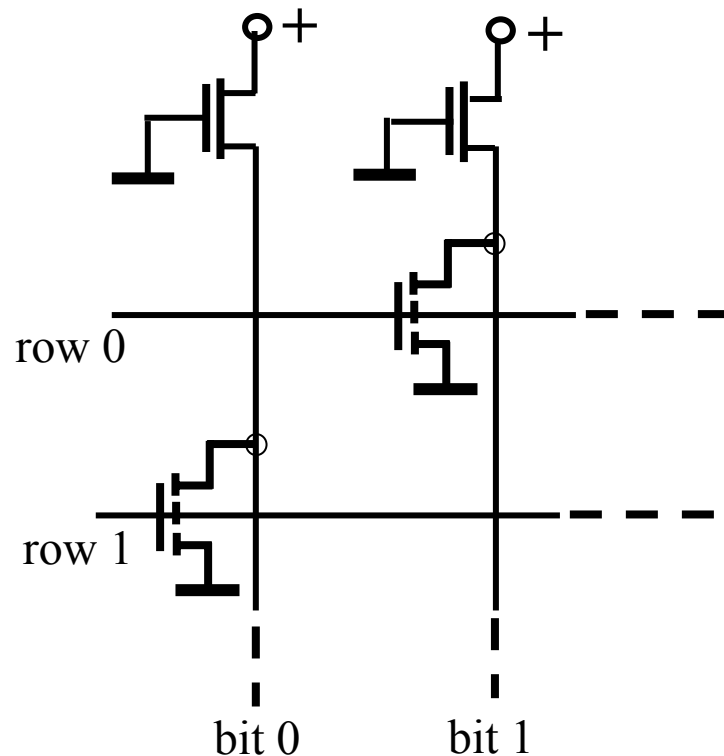
Write: *word select* = H \Rightarrow sepnou MOSFETY, na *bit line* vložena zapisovaná hodnota

Bistabilní klopný obvod (má 2 stabilní stavy: H nebo L) \Rightarrow refresh není nutný

Informace uchována dokud je připojeno napájení – **VOLATILE MEMORY**

Non Volatile Memory (NVM)

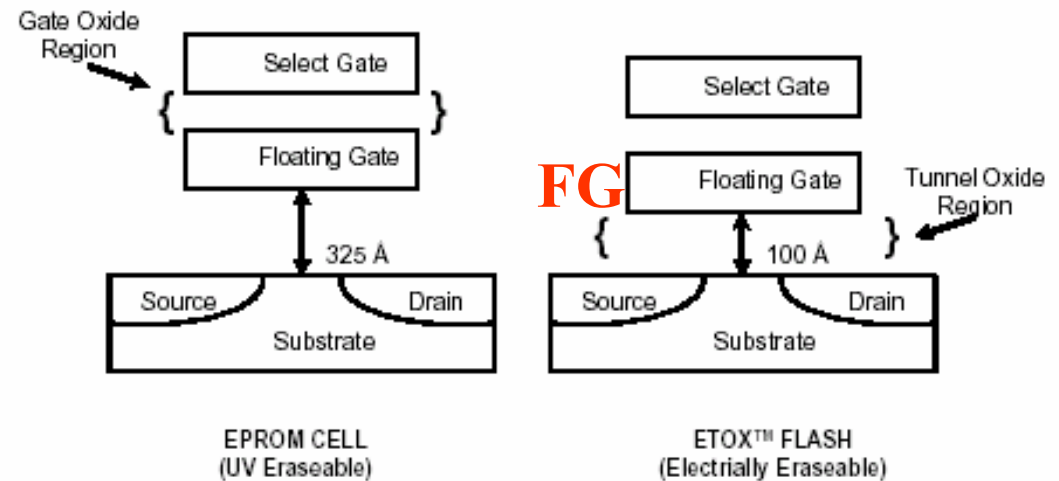
ROM=Read Only Memory



- buňka tvořena hradlem NOR
- programování při výrobě
volbou propojení buněk NOR
→ poslední maska (metalizace)

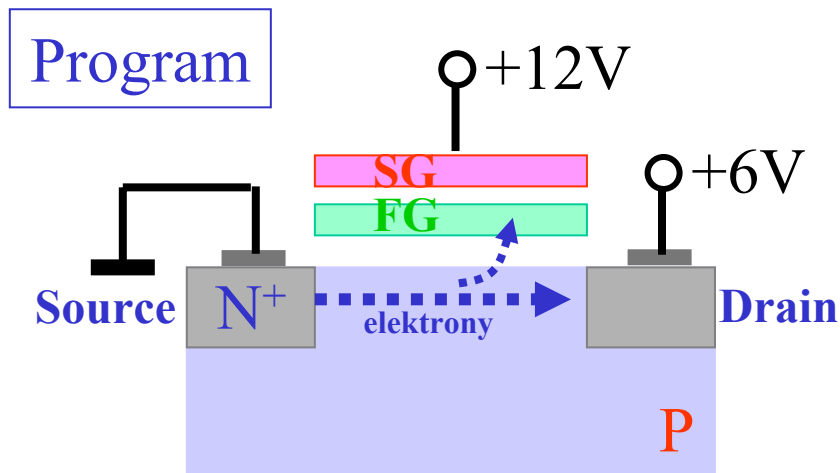
EPROM=Electrically Programmable ROM

**EEPROM=Electrically Eraseable
Programmable ROM**

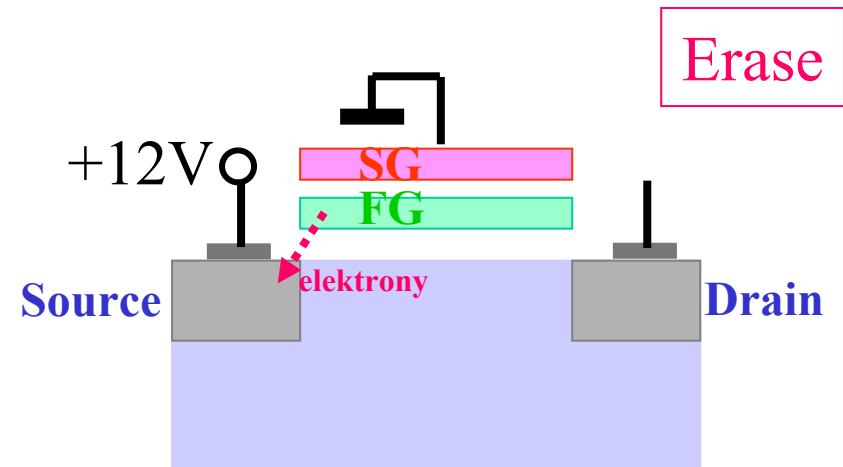


- buňka NOR nebo NAND MOSFET se 2 hradly
- **Select gate: výběr tranzistoru pro R/W**
- **Floating gate (FG): paměťový prvek**
FG bez elektronů \Rightarrow malé U_{th}
FG s elektrony ($\sim 10^4$) \Rightarrow velké $U_{th} + 3V @ U_{DD} = 5V$

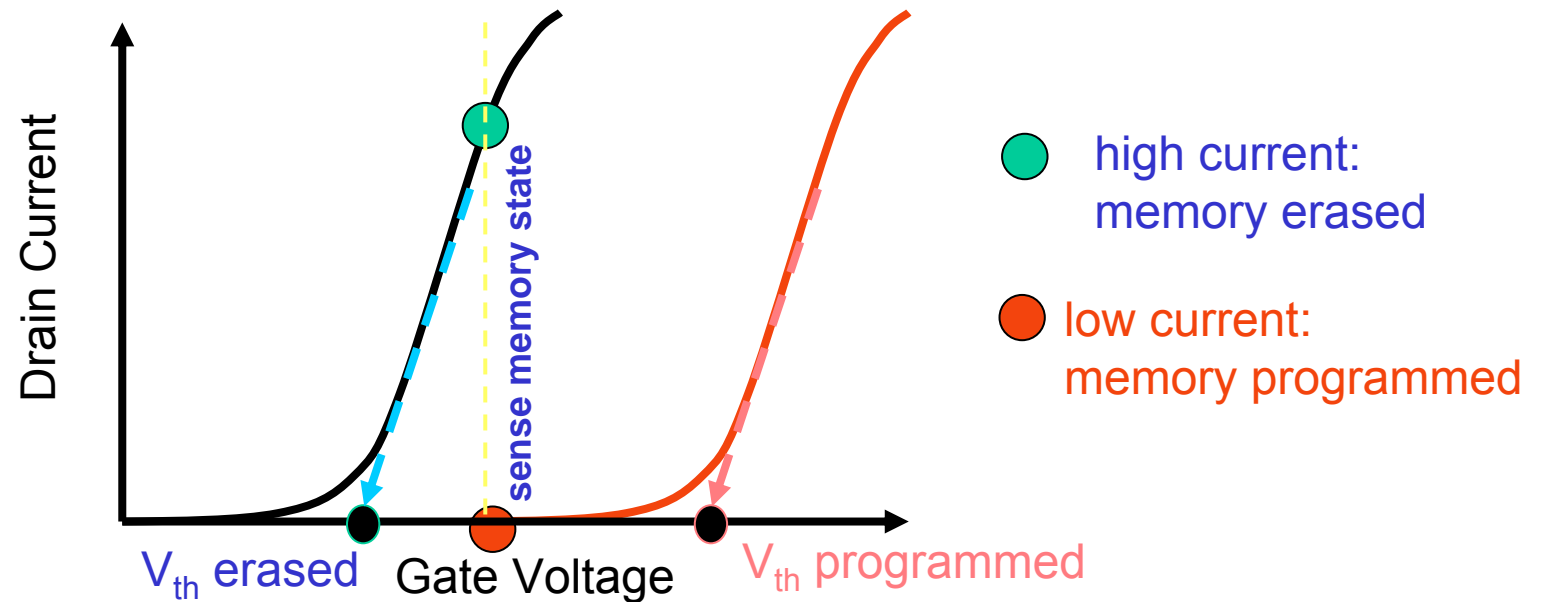
Non Volatile Memory (NVM): EEPROM vs. FLASH



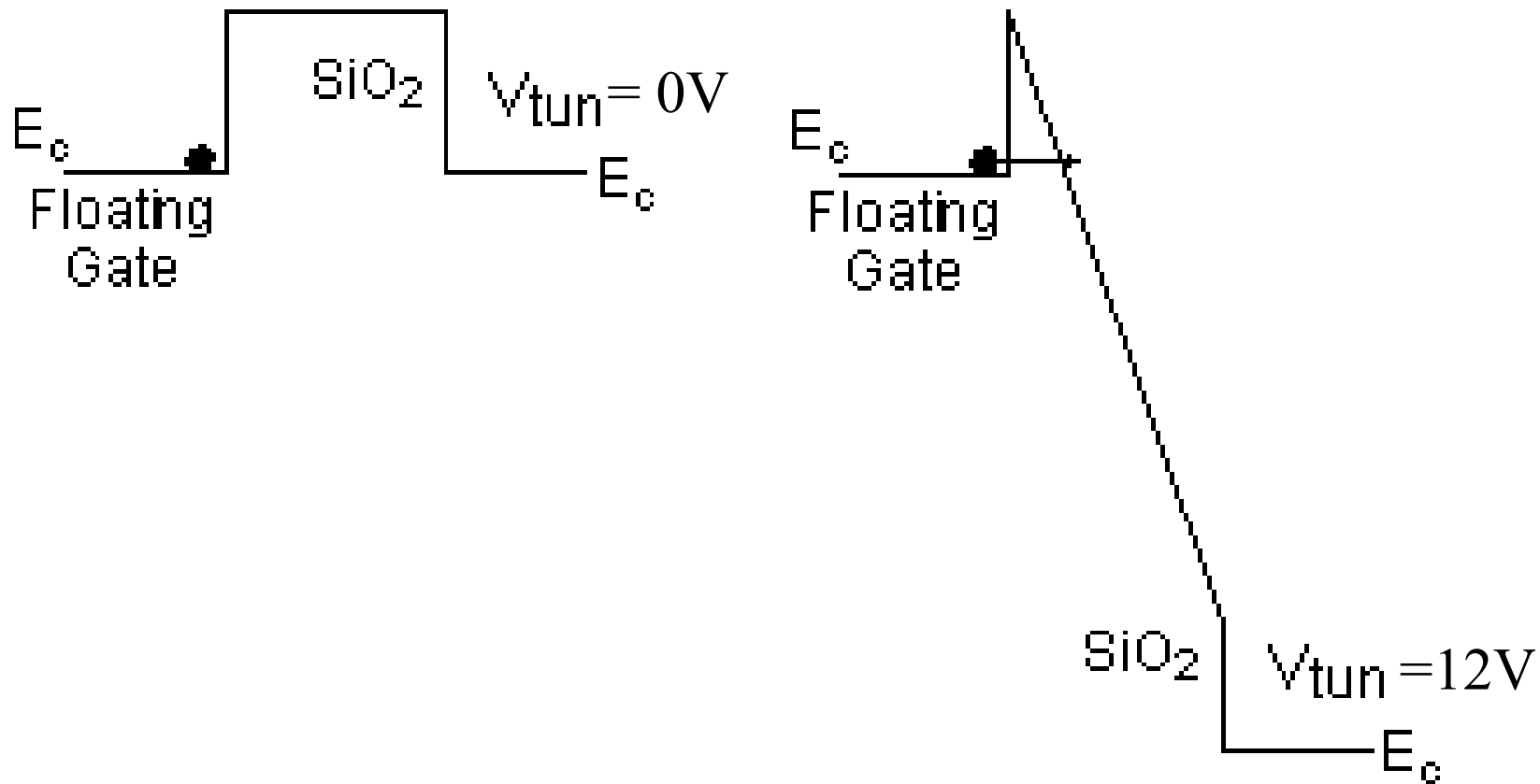
Channel hot electron injection



Fowler-Nordheim tunneling



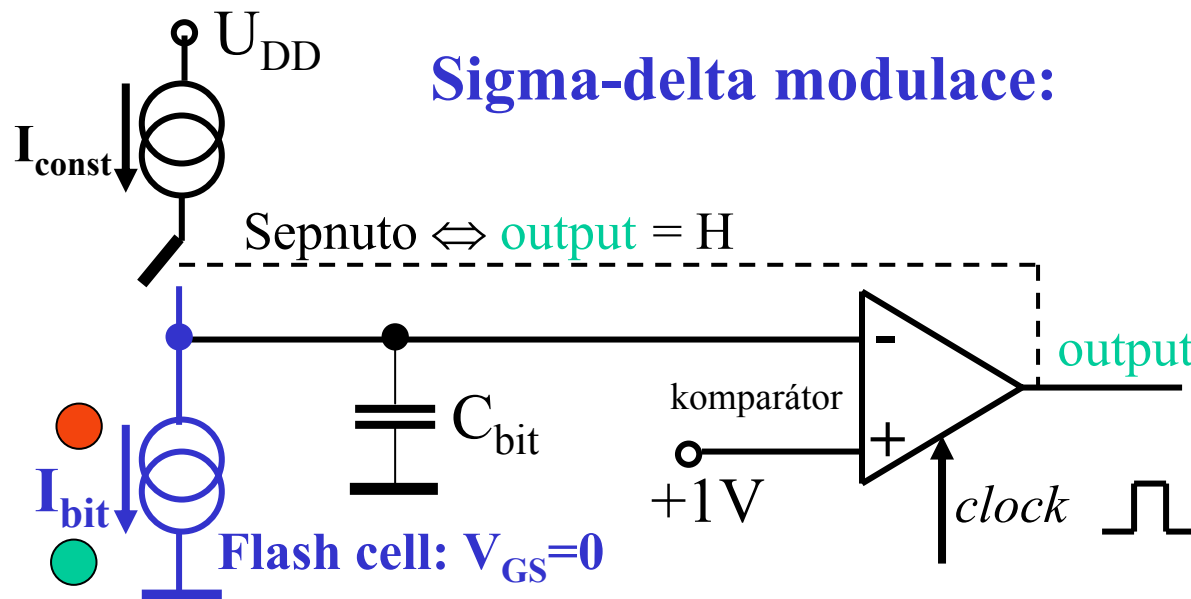
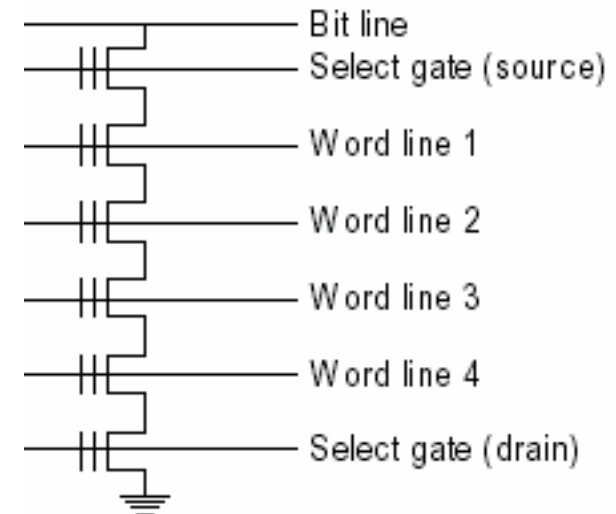
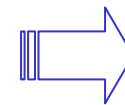
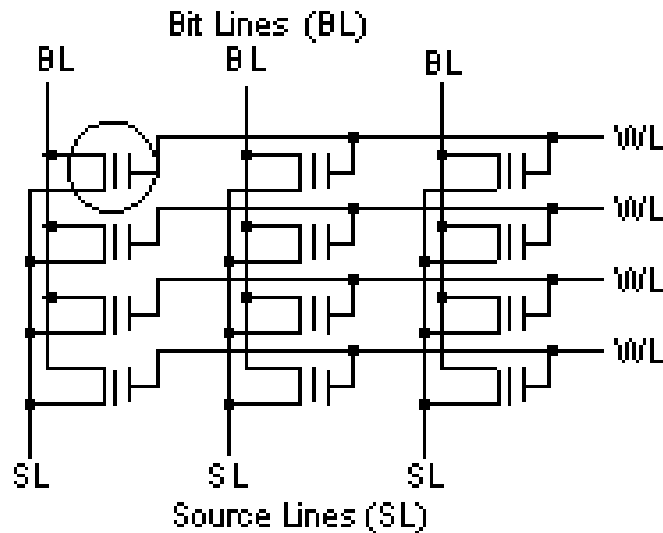
Fowler-Nordheim Tunneling



s rostoucím přiloženým napětím
klesá efektivní šířka bariéry

Non Volatile Memory (NVM): EEPROM vs. FLASH

Zvýšení kapacity paměti: 1 *select transistor* řídí více buněk



● I_{bit} = high current:
memory erased

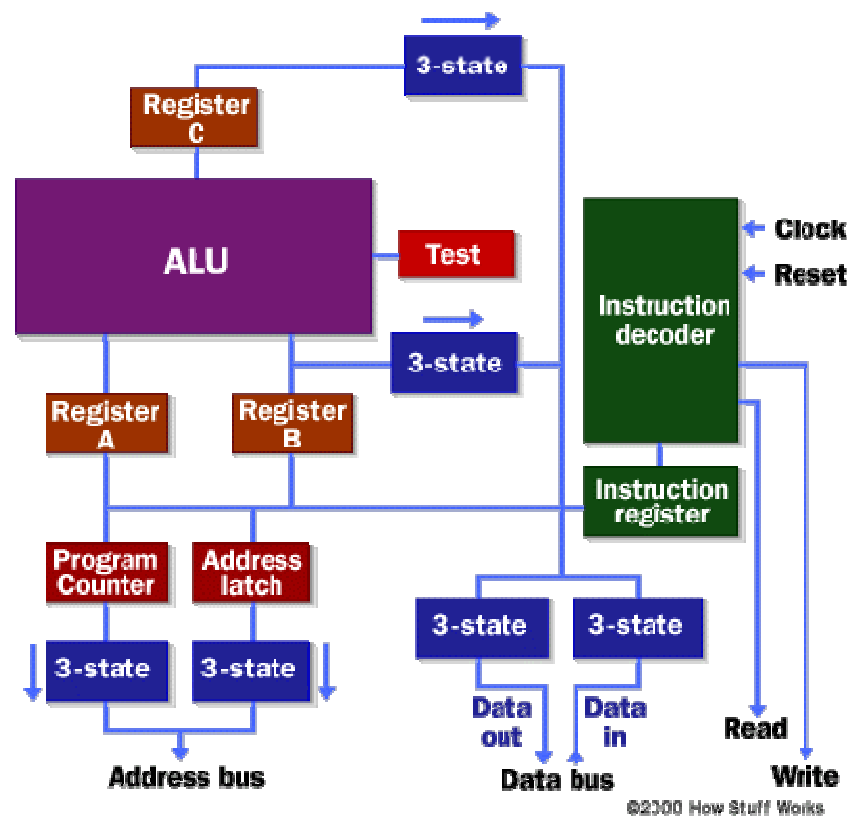
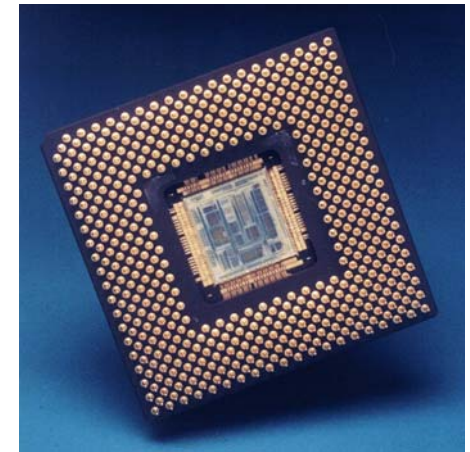
● I_{bit} = low current:
memory programmed

$I_{bit} \approx \text{počet překlopení za čas}$

$$\frac{I_{bit}}{I} = \frac{\text{output} \Rightarrow \text{out=H}}{\text{celkem}}$$

MIKROPROCESSORY

Vykonávají SW instrukce podle programu



Microcontroller – „jednočipový mikroprocesor“
– obsahuje na jednom čipu vše pro realizaci kontroléru („řidič“ procesů)
(CPU, paměti, komunikační jednotky, časovače, budiče, A/D převodník, PWM, ...)

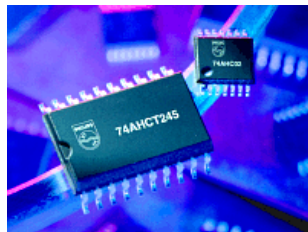
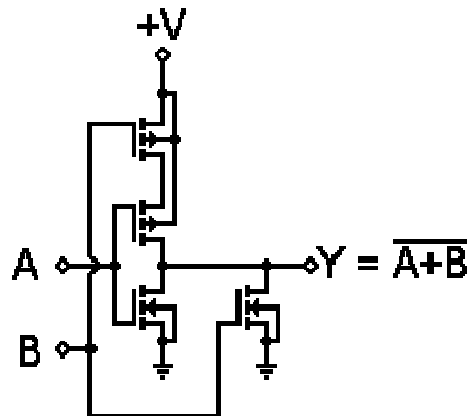
ČÍSLICOVÉ OBVODY

Vykonávají logické funkce, propojují obvody, zajišťují komunikaci, zpracování signálu, zobrazení výsledků, časování operací, ...

Standardní

funkce je po vyrobení
neměnná

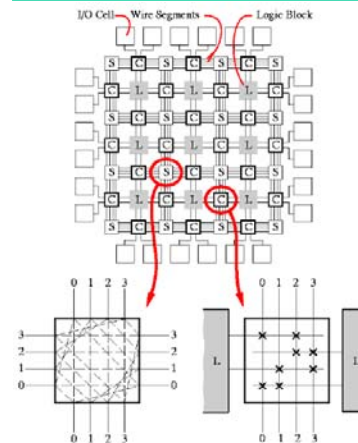
řady číslicových obvodů
CMOS, LSTTL, ...



Programovatelné

funkci lze po vyrobení zvolit

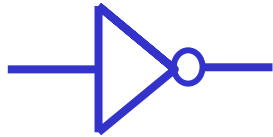
FPGA – Field Programmable Gate
Arrays ($\sim 10^6$ hradel)



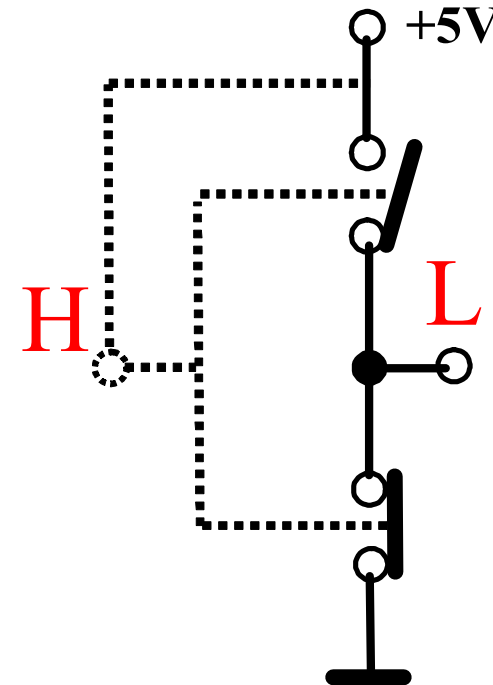
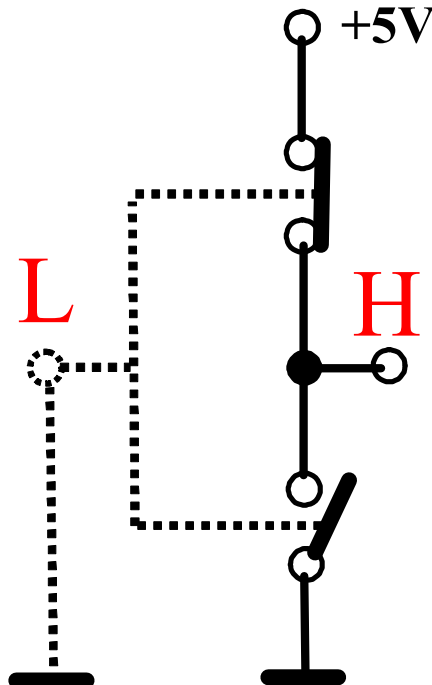
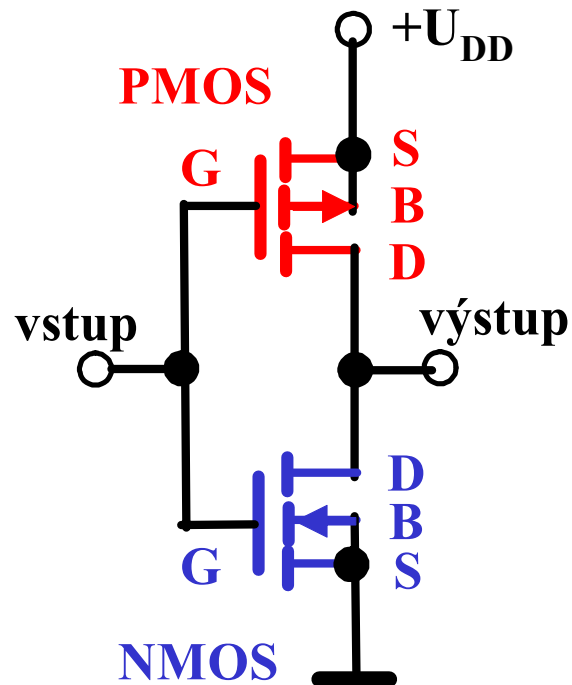
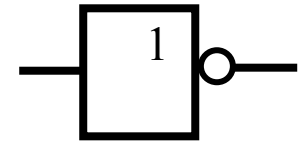
CPLD – Complex Programmable Logic
Devices ($\sim 10^3$ hradel)

PLA, PAL – Programm. Logic Arrays

Standardní číslicové obvody



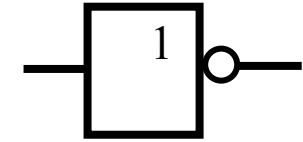
Invertor CMOS



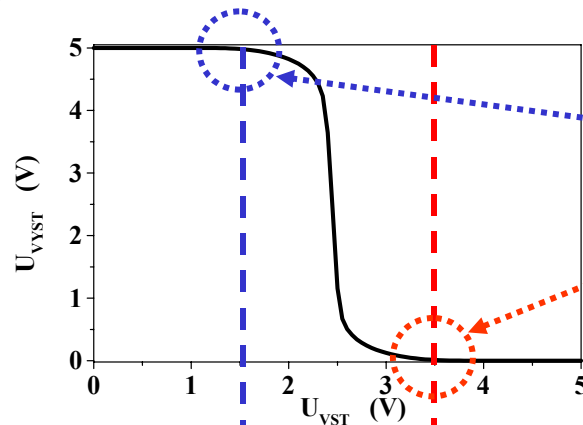
- $I_G = 0$, jen dobíjení C_{in} při přepínání
- $I_D = 0$, spotřeba jen při přepínání ($\sim f$)
- Symetrický výstup – stejně výkonné buzení do L i H
- Symetrická převodní napět'ová charakteristika

$$U_{DD} = 5V$$

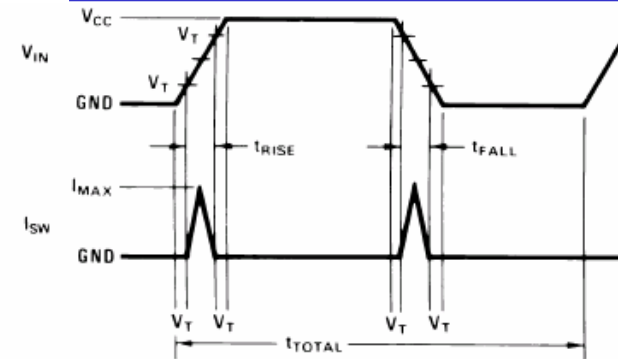
Invertor CMOS



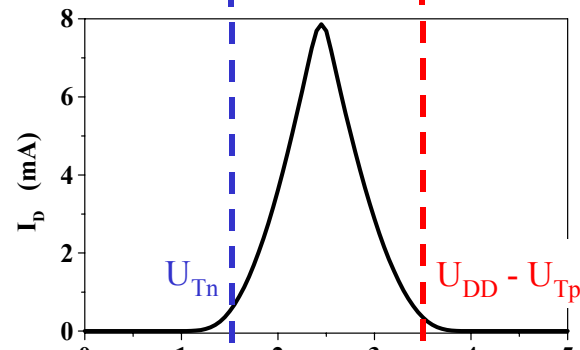
PŘEVODNÍ



Prahové napětí U_{th}



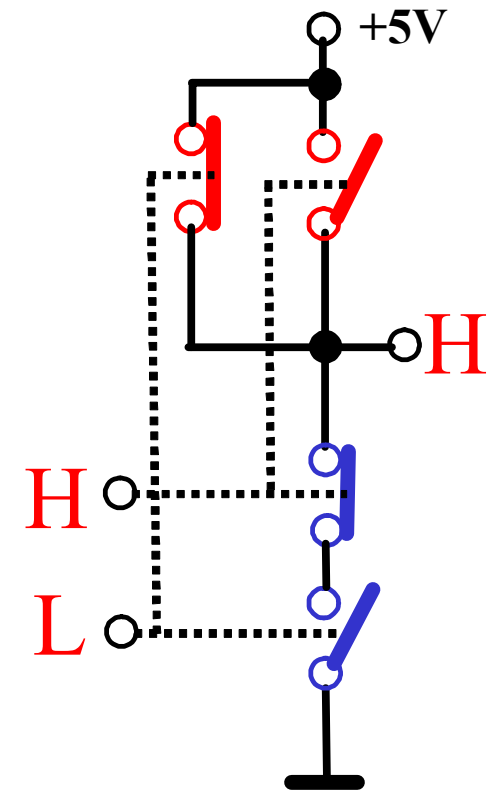
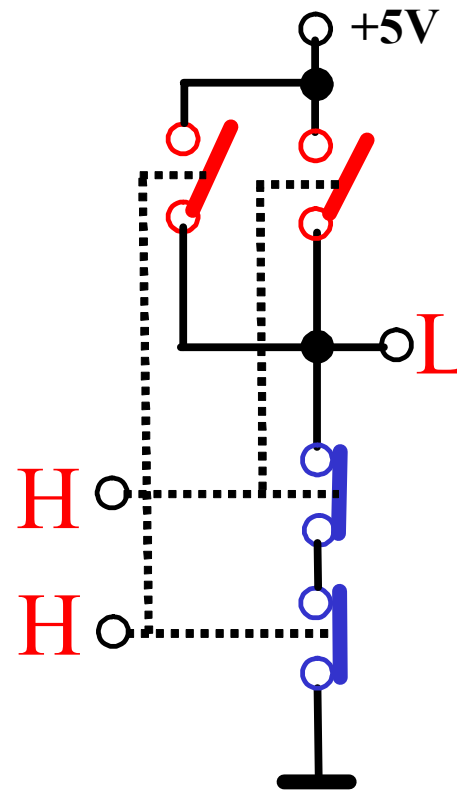
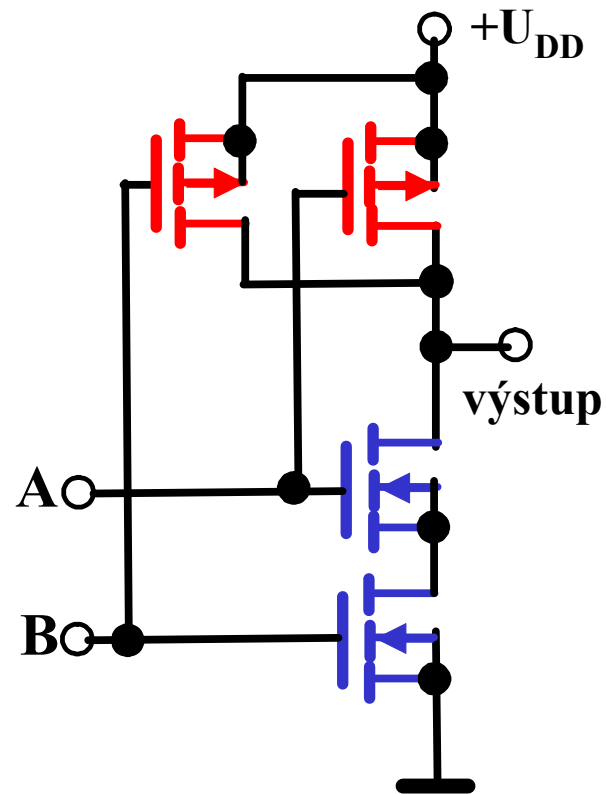
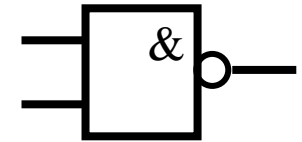
ODBĚR



**ODBĚR PROUDU POUZE
PŘI PŘEKLÁPĚNÍ VÝSTUPU!!!
⇒ NÍZKÁ SPOTŘEBA**

PARAMETER	SYMBOL	CONDITIONS (NOTE 1)		GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
						MIN	MAX	
Supply Current	IDD	VDD = 20V, VIN = VDD or GND		1	+25°C	-	2	μA
				2	+125°C	-	200	μA
		VDD = 18V, VIN = VDD or GND		3	-55°C	-	2	μA
Input Leakage Current	IIL	VIN = VDD or GND	VDD = 20	1	+25°C	-100	-	nA
				2	+125°C	-1000	-	nA
			VDD = 18V	3	-55°C	-100	-	nA
Input Leakage Current	IIH	VIN = VDD or GND	VDD = 20	1	+25°C	-	100	nA
				2	+125°C	-	1000	nA
			VDD = 18V	3	-55°C	-	100	nA

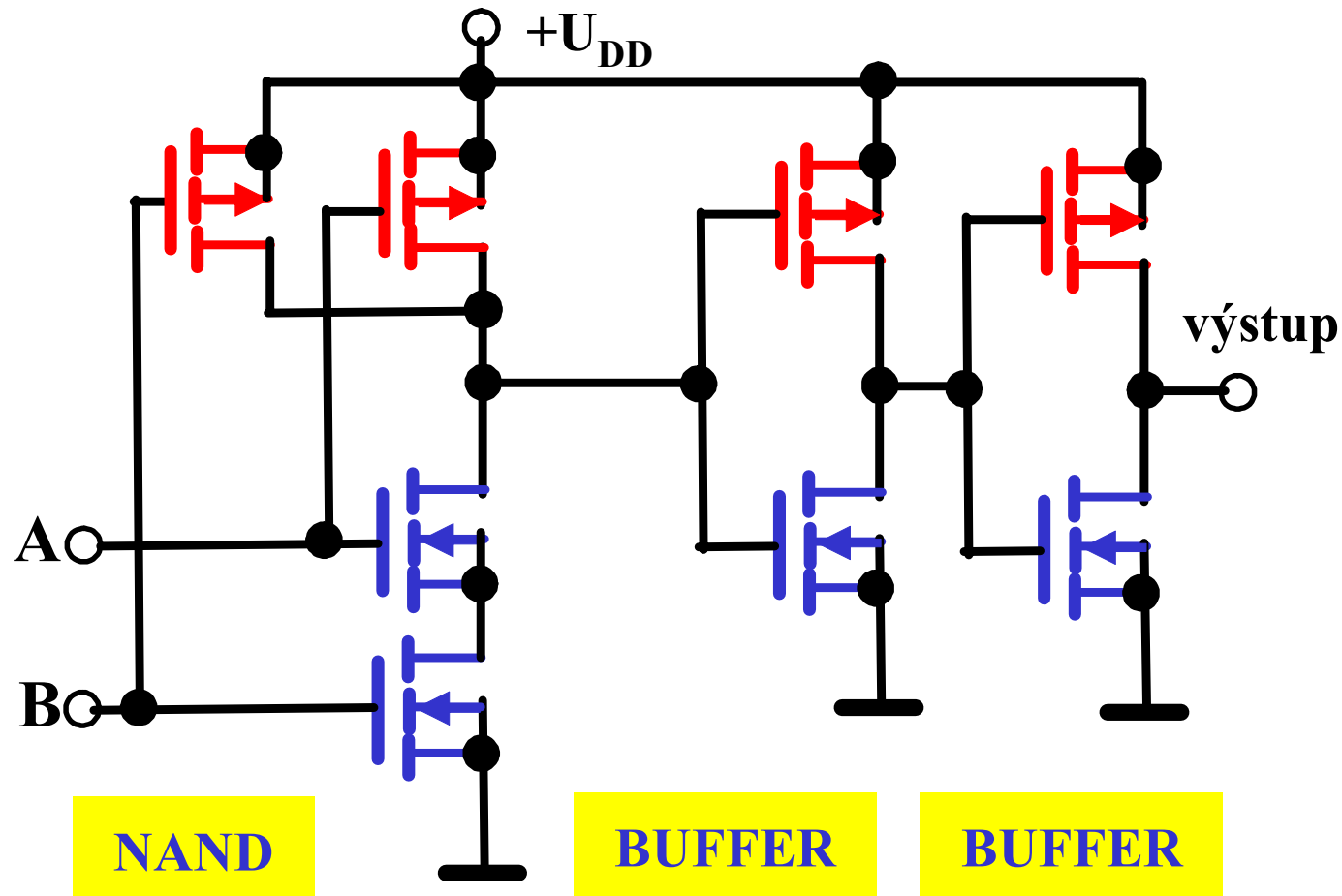
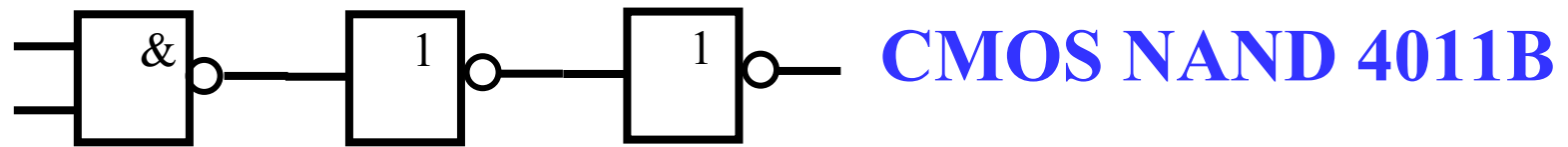
CMOS NAND 4011



X	Y	X NAND Y
1	1	0
1	0	1
0	0	1
0	1	1

? CMOS NOR ?

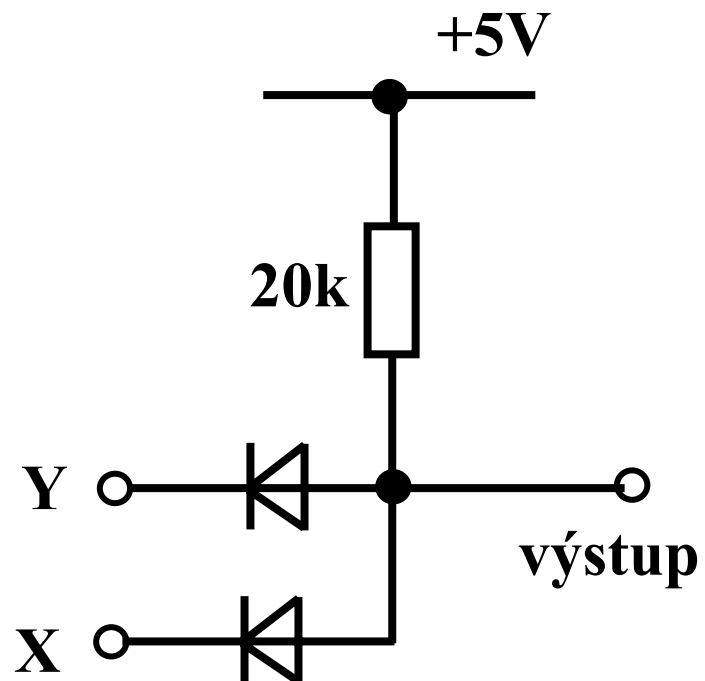
Spodní 2 tranz. paralelně,
horní 2 v sérii.



Buffer zajišťuje větší proudovou zatížitelnost výstupu a rychlé hrany
 ⇒ **BUFFERED CMOS** (*domino logic*)

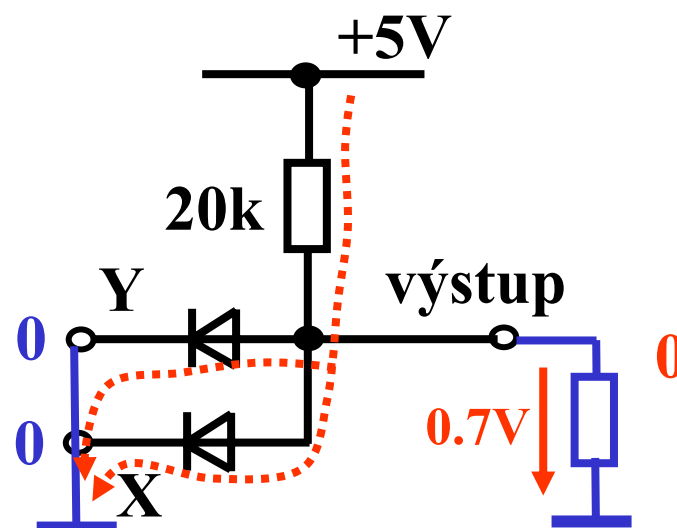
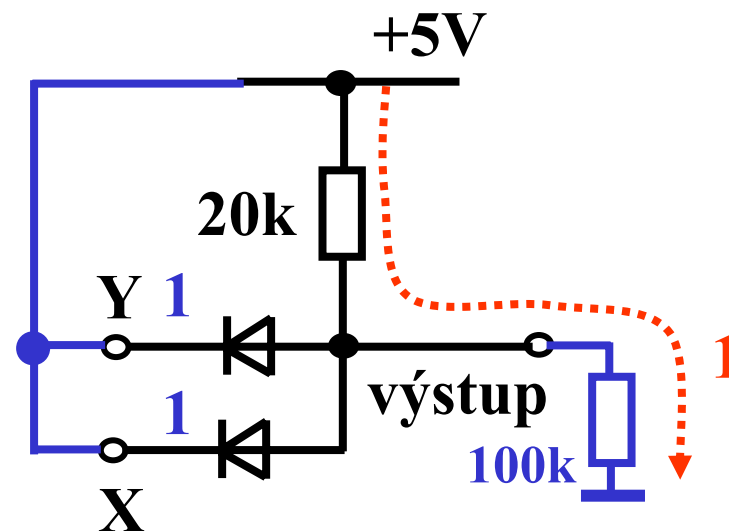
⇒ **UNBUFFERED CMOS** (bez bufferů, jen NAND)

Diode Logic



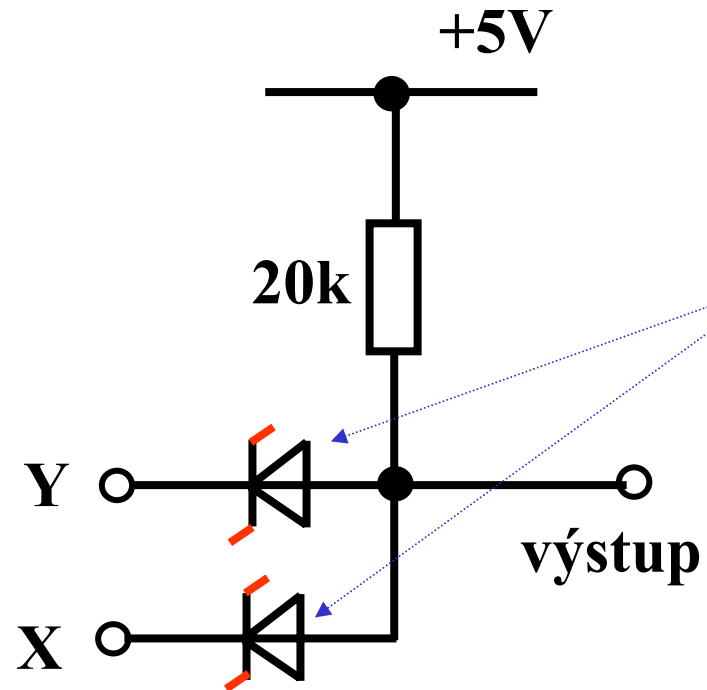
X	Y	X AND Y
1	1	1
1	0	0
0	0	0
0	1	0

AND



Diode Logic

AND

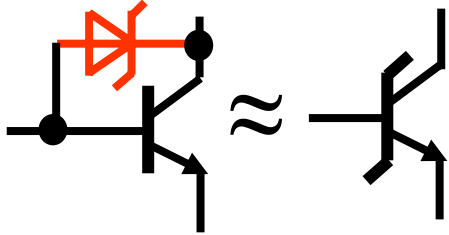


Schottkyho diody \Rightarrow větší rychlost

X	Y	X AND Y
1	1	1
1	0	0
0	0	0
0	1	0

- Obsahuje jen pasivní prvky
 - Nelze zatěžovat
- \Rightarrow pro kaskádu log. členů je nutný zesilovač

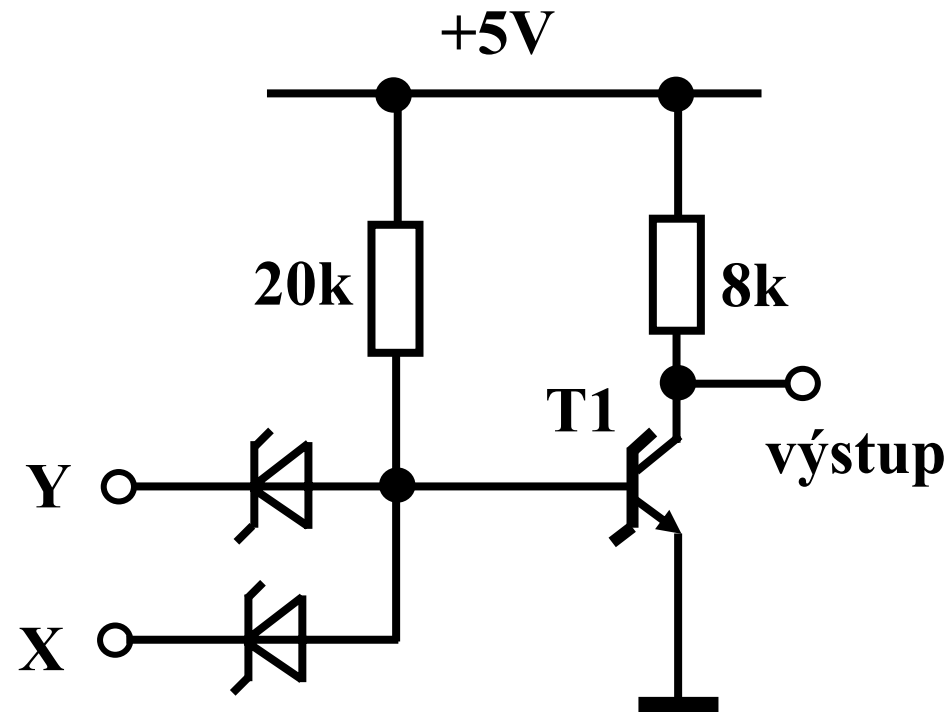
Diode Transistor Logic



Schottkyho desaturační
diody \Rightarrow rychlé vypínání

X	Y	X NAND Y
1	1	0
1	0	1
0	0	1
0	1	1

NAND



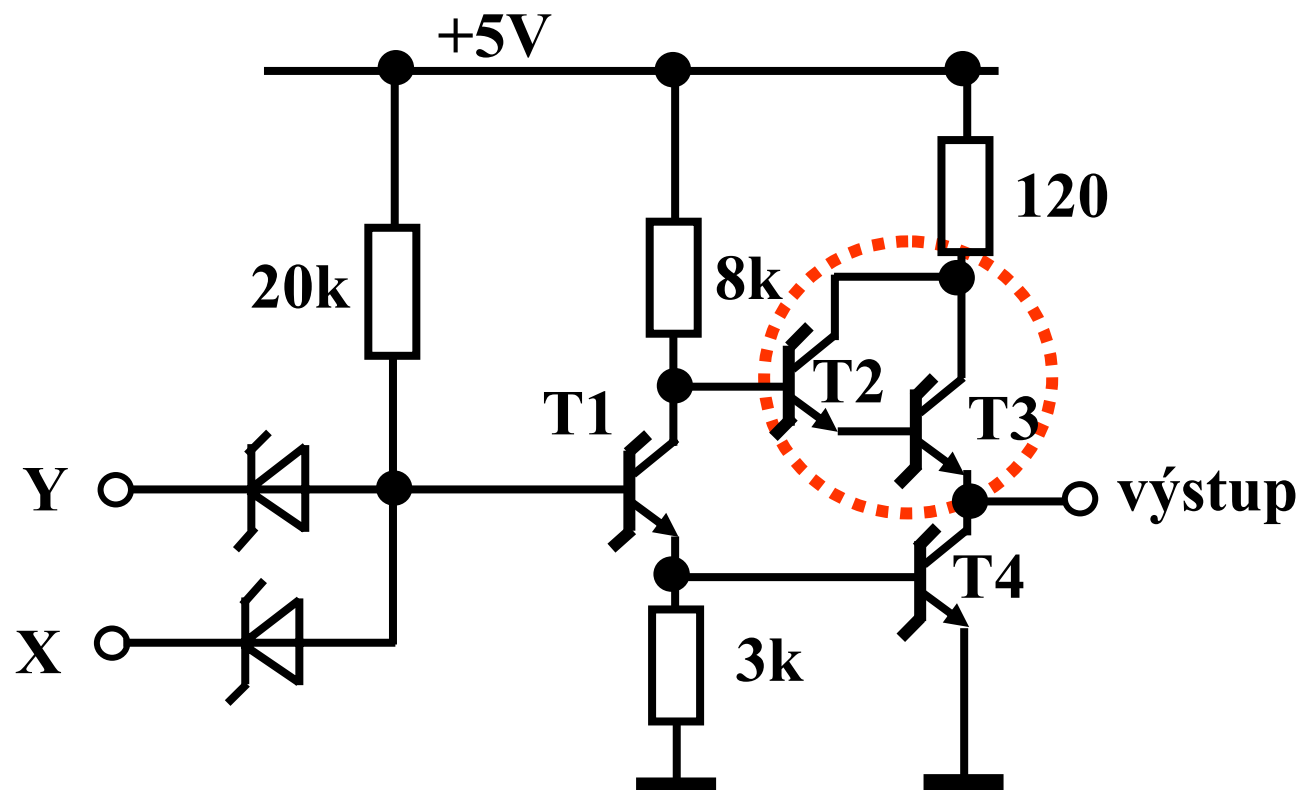
AND

INVERTOR

Obvod je aktivní (T1 zesiluje)
ale výstup je nesymetrický

Low Power Schottky Transistor Transistor Logic (LSTTL) NAND

zjednodušené schema



X	Y	X NAND Y
1	1	0
1	0	1
0	0	1
0	1	1

AND

PHASE
SPLITTER

KONCOVÝ
STUPEŇ

Darlingtonovo zapojení

Darlingtonovo zapojeni



Sidney Darlington

1906 - 1997

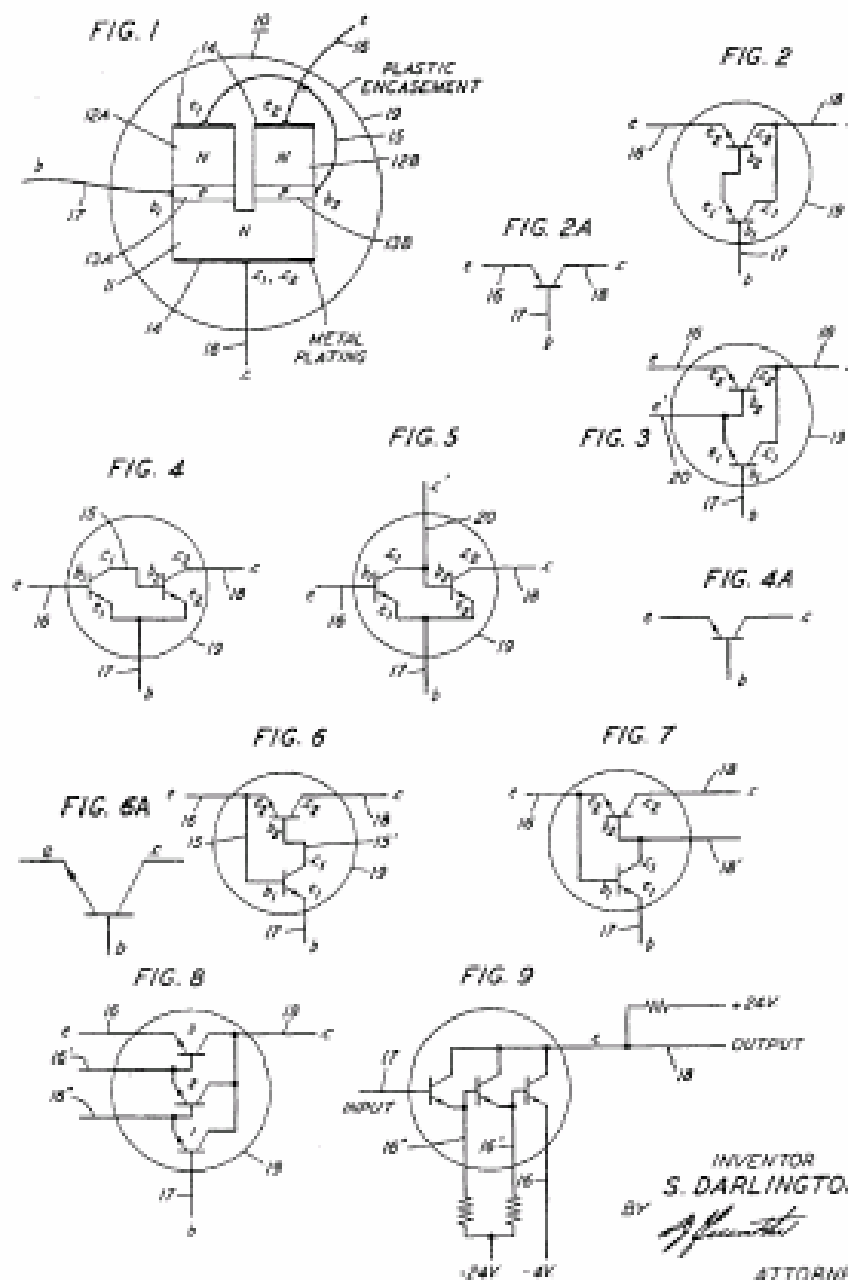
Dec. 22, 1953

S. DARLINGTON

2,663,806

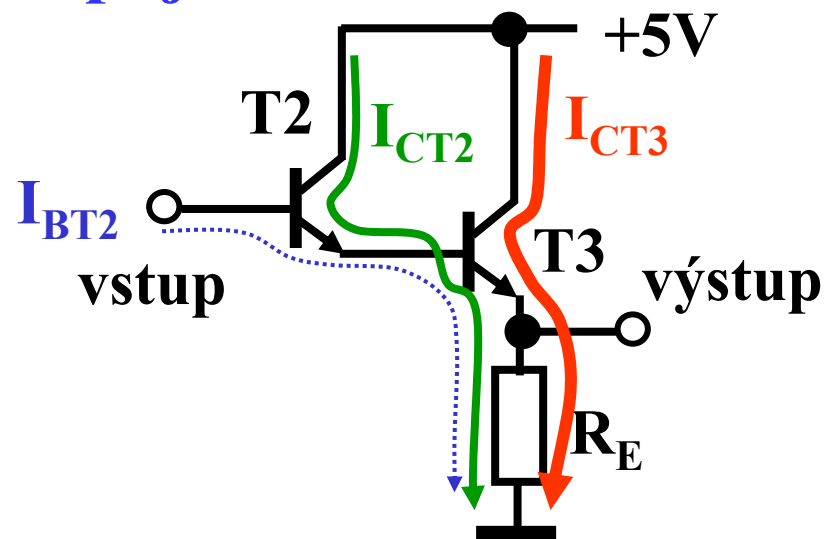
SEMICONDUCTOR SIGNAL TRANSLATING DEVICE

Filed May 9, 1952



Darlingtonovo zapojení

$$I_{CT2} = h_{21ET2} \cdot I_{BT2}$$



$$I_{CT3} = h_{21ET3} \cdot I_{BT3} = h_{21ET3} \cdot I_{CT2} = h_{21ET3} \cdot h_{21ET2} \cdot I_{BT2}$$

Příklad: $h_{21ET2} = h_{21ET3} = 100$

$$I_{CT3} = h_{21ET3} \cdot h_{21ET2} \cdot I_{BT2} = 100 \cdot 100 \cdot I_{BT2} = 10^4 \cdot I_{BT2}$$

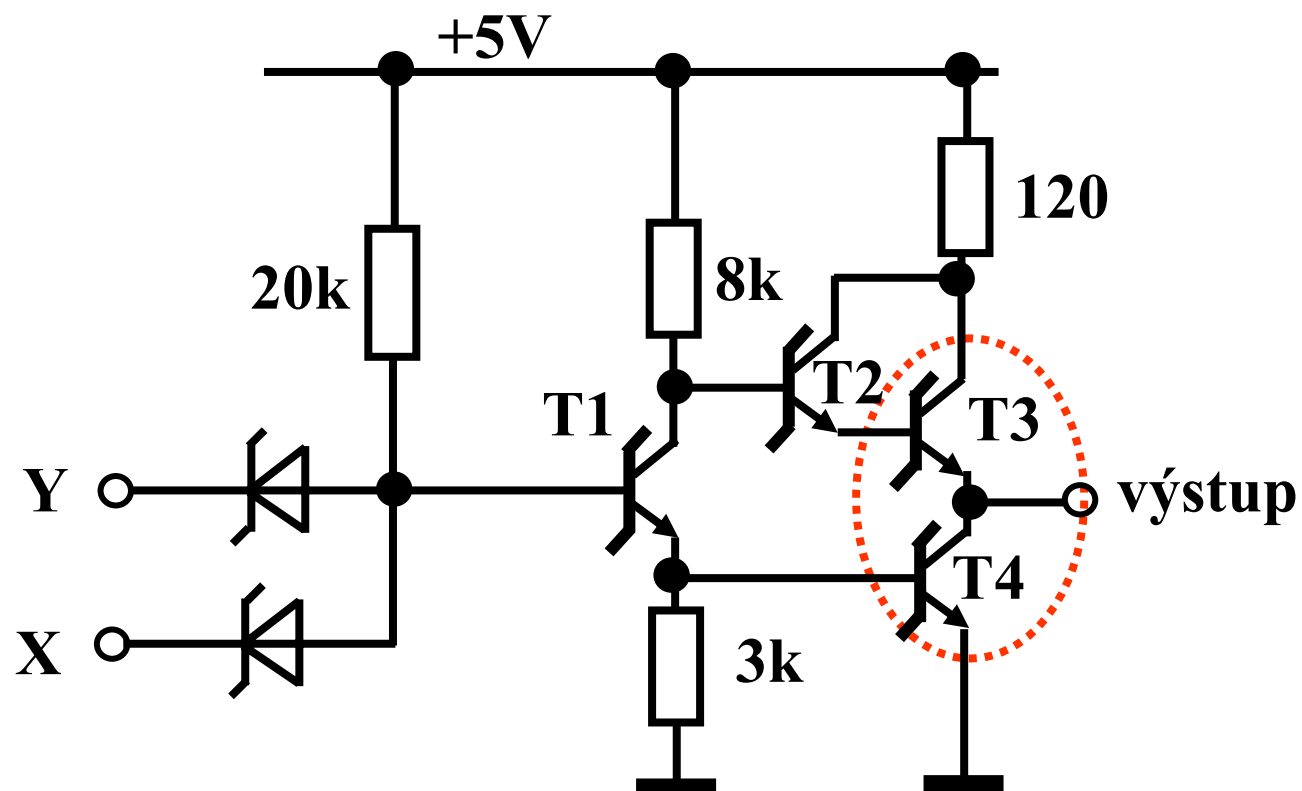
velké proudové
zesílení

$$R_{VST} = h_{21ET3} \cdot h_{21ET2} \cdot R_E = 100 \cdot 100 \cdot R_E = 10^4 \cdot R_E$$

velký vstupní
odpor

LSTTL

NAND: 74LS00



X	Y	X NAND Y
1	1	0
1	0	1
0	0	1
0	1	1

AND

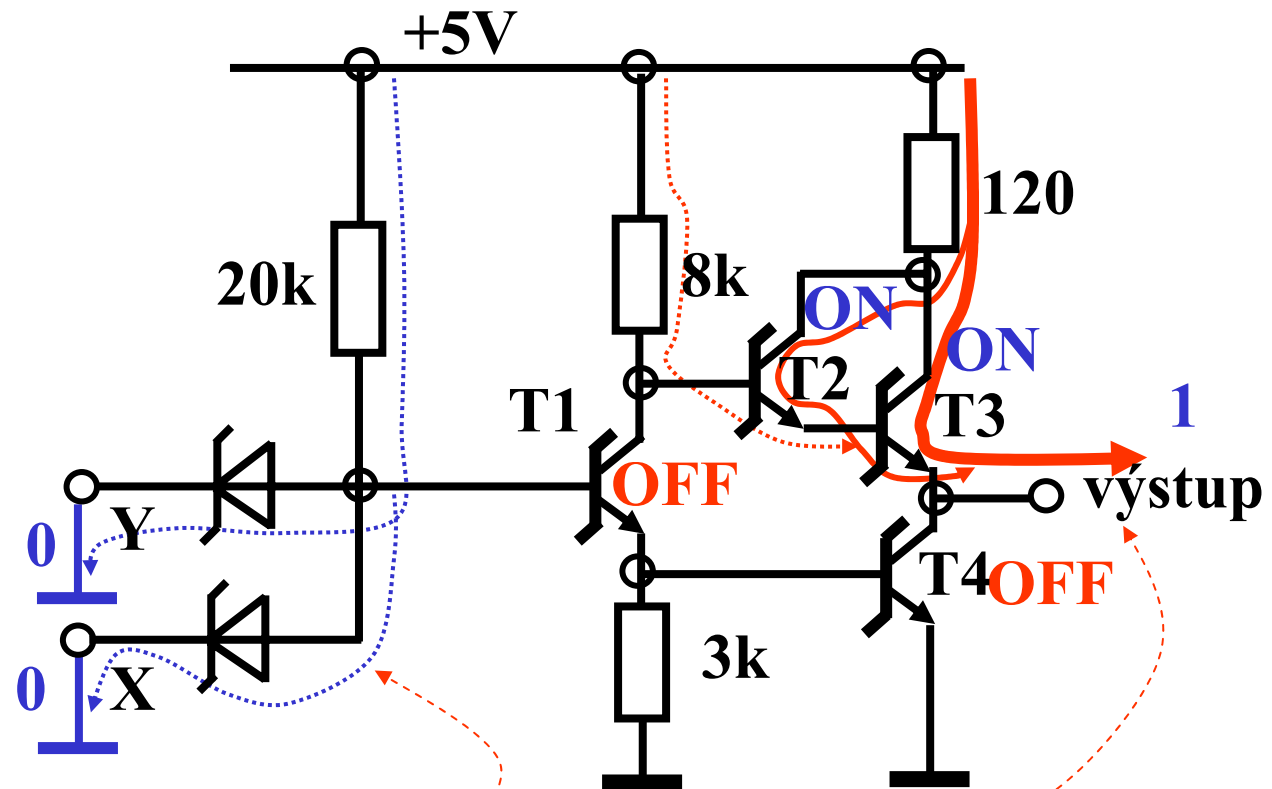
PHASE
SPLITTER

KONCOVÝ
STUPEŇ

Výstup je symetrický – *TOTEM POLE*
malá výstupní impedance, malá doba sepnutí,...

LSTTL

NAND: 74LS00



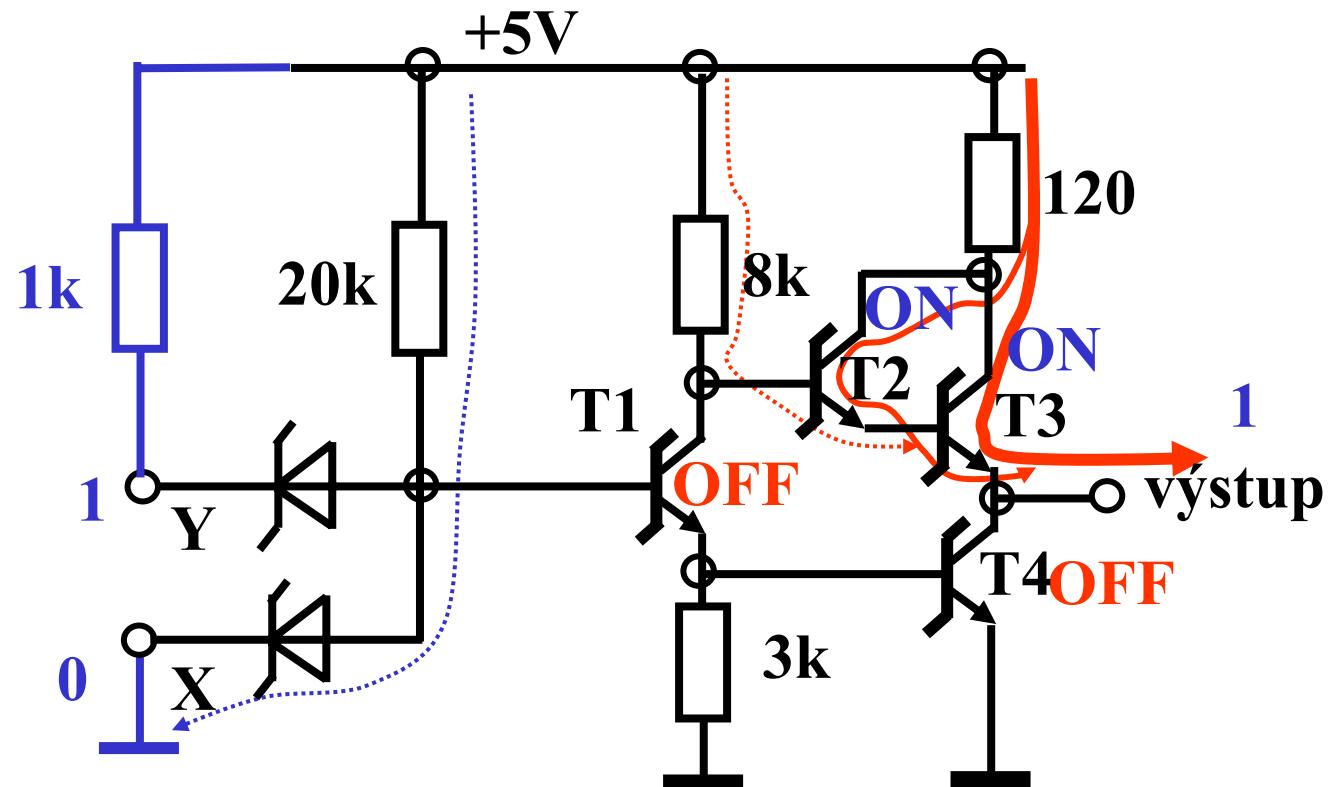
Vstup v úrovni L (0) \Rightarrow proud teče **ven**
v řádu stovek μA (0.2 – 0.4 mA)

Výstup v úrovni H (1) \Rightarrow proud teče **ven** (~1 mA)
 $I_{OS} = 20 - 100\text{mA}$ (pouze 1 výstup IO smí být ve zkratu)

X	Y	X NAND Y
1	1	0
1	0	1
0	0	1
0	1	1

LSTTL

NAND: 74LS00



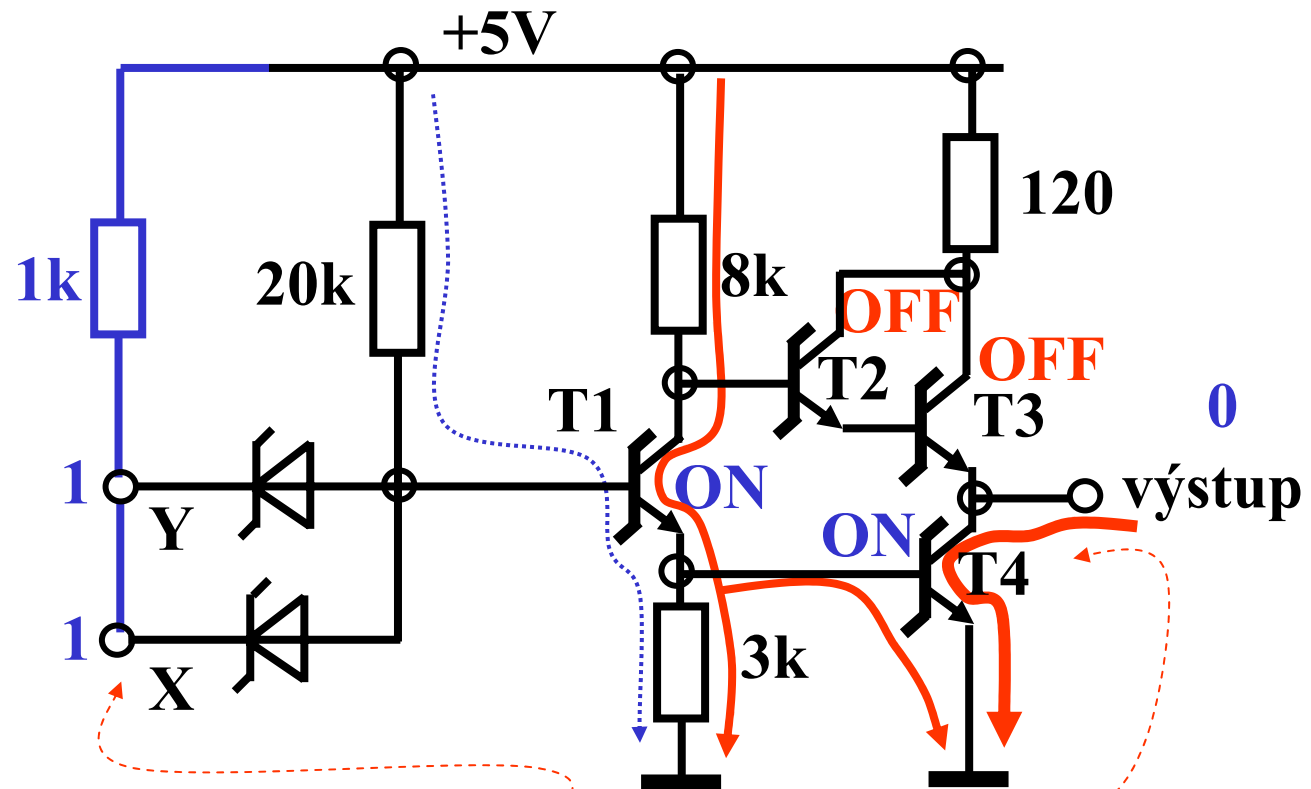
Vstup v úrovni L (0) \Rightarrow proud teče **ven**
v řádu stovek μA (0.2 – 0.4 mA)

Výstup v úrovni H (1) \Rightarrow proud teče **ven** (~1 mA)
 $I_{OS} = 20 - 100\text{mA}$ (pouze 1 výstup IO smí být ve zkratu)

X	Y	X NAND Y
1	1	0
1	0	1
0	0	1
0	1	1

LSTTL

NAND: 74LS00

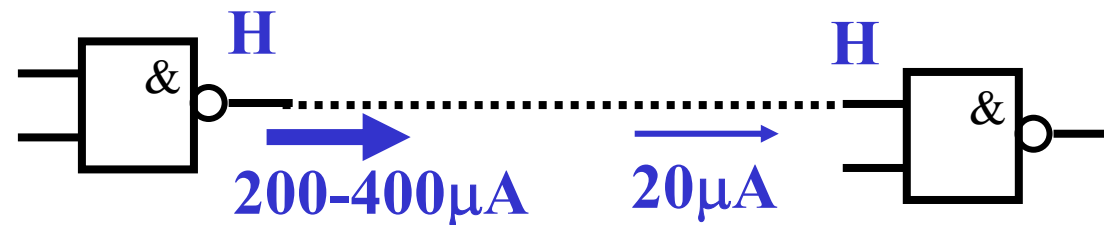


Vstup v úrovni H (1) \Rightarrow proud teče **dovnitř**
v řádu desítek μA (typ. $20 \mu\text{A}$)

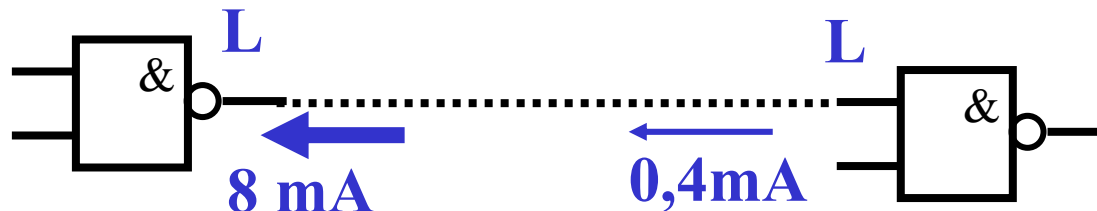
Výstup v úrovni L (0) \Rightarrow proud teče **dovnitř**
 $8 \text{ mA (LSTTL)} - 15 \text{ mA (TTL)}$

X	Y	X NAND Y
1	1	0
1	0	1
0	0	1
0	1	1

LSTTL – zatížitelnost výstupu



Logický zisk pro úroveň H = $(200 - 400):20 = (10 - 20)$



Logický zisk pro úroveň L = $8 : 0,4 = 20$

Logický zisk (*Fan-out*)

je maximální počet vstupů daného typu hradla,
které lze připojit na výstup jednoho hradla,
aniž by došlo k přetížení výstupu nebo změně výstupní log. úrovně.

TTL

Napájecí napětí: 4.75 – 5.25V

Vstupní proudy:

L: 0.25 – 0.5mA (74LS)

H: 20 μ A (74LS)

Vstupní prahové napětí:

2 x úbytek na diodě U_F (1.4V)

Výstupní napětí:

L: 0.2V (U_{CEsat})

H: $U_{DD} - 2xU_F$ **problém budit CMOS**

Rychlost: 25MHz(LS)-100MHz(F,AS)

Klidová spotřeba: trvale velká (~mA)

CMOS

Napájecí napětí: 3 - 15V (řada 4000)

2 – 6 V (řady HC, AC)

5V (řady HCT,ACT)

Vstupní proudy: žádný (MOS vstupy)

Pozor na statickou elektřinu

Vstupní prahové napětí:

$U_{DD}/2$ kromě HCT (1.5V)

Výstupní napětí:

L: 0 V

H: U_{DD}

Rychlost: 2MHz(4000) - 100MHz (AC)

Klidová spotřeba: malá $\sim\mu$ A (\uparrow s frekvencí)

ČÍSLICOVÉ OBVODY

KOMBINAČNÍ

logické funkce, kodéry, dekodéry, demultiplexery, sčítačky,

SEKVENČNÍ

klopné obvody, čítače, aritmetické akumulátory, časovače, děličky, posuvné registry, ...

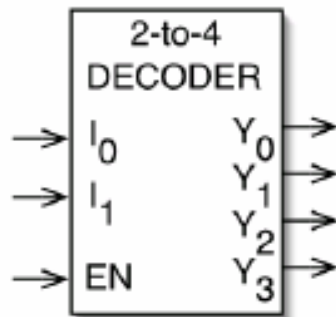
KOMBINAČNÍ OBVODY

stav výstupu závisí pouze na současné kombinaci stavů na vstupech, a to předem známým způsobem (*nemají paměť*)

Jsou-li úrovně na vstupech shodné ve dvou různých časových okamžicích, jsou v těchto různých časových okamžicích shodné i výstupní úrovně.

Příklad: binární dekodér 2 na 4

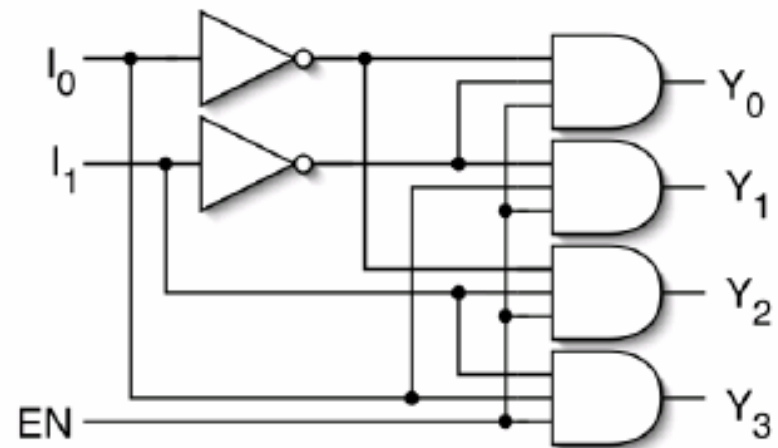
Dekodér obvykle převádí kódovaná slova z jednoho kódu do jiného kódu



SYMBOL

EN	I_1	I_0	Y_3	Y_2	Y_1	Y_0
0	x	x	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

TRUTH TABLE



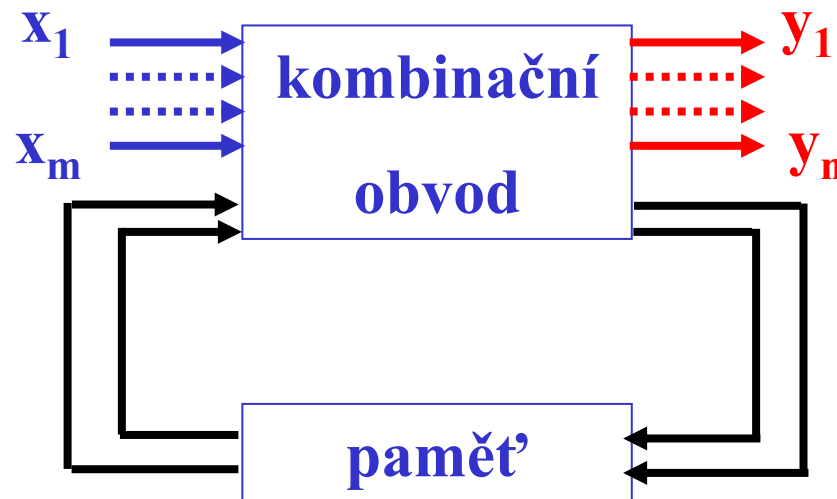
LOGIC DIAGRAM

SEKVENČNÍ OBVODY

stav výstupu závisí nejen na současné kombinaci stavů na vstupech, ale i na předchozím stavu vstupů (*mají paměť*)

Stejné úrovně na vstupech shodné ve dvou různých časových okamžicích mohou v těchto různých časových okamžicích vytvářet různé výstupní úrovně.

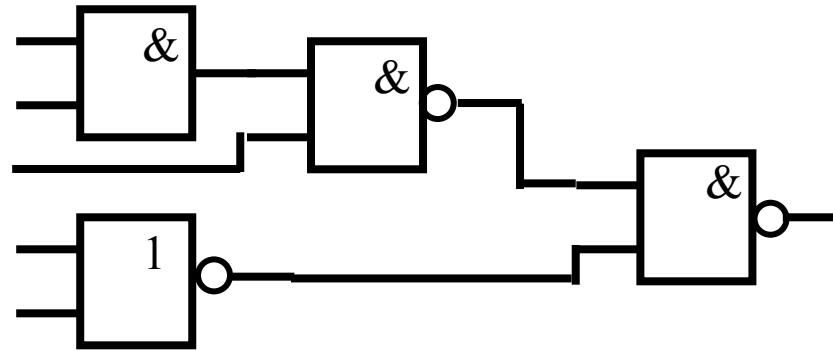
Sekvenční obvody vytvoříme přidáním paměťového prvku ke kombinačním obvodům \Rightarrow předchozí vstupní stavy ovlivní současný výstup.



Umožňují konstrukci
solistikovaných obvodů

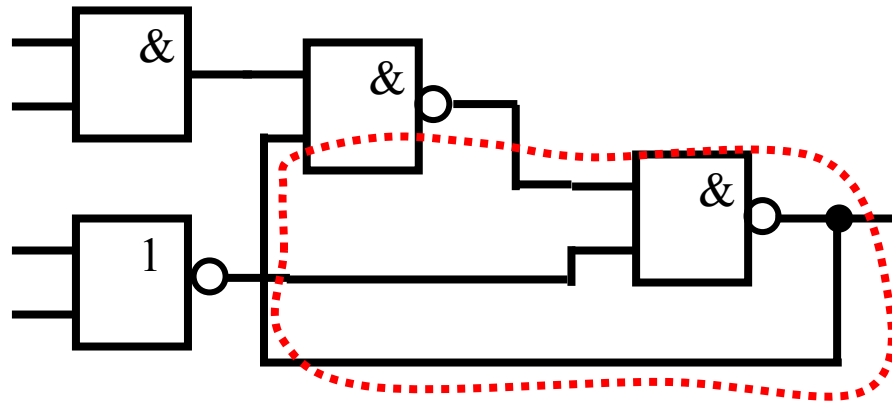
KOMBINAČNÍ x SEKVENČNÍ OBVODY

Příklad:



Kombinační obvod: výstupy hradel jdou pouze na vstupy hradel, log. stavy jsou jednoznačné, log. tok je ze vstupu na výstup (*acyklický*)

Příklad:

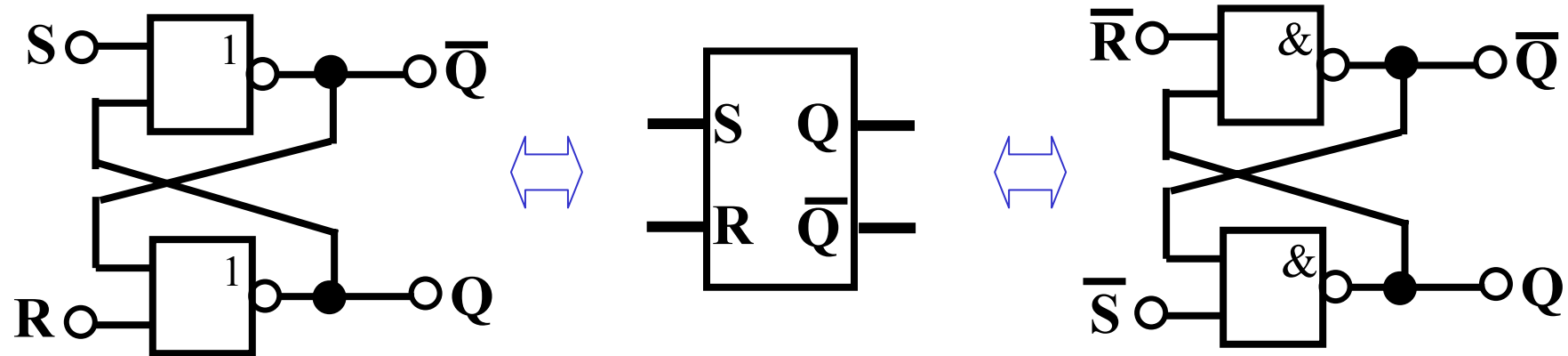


Sekvenční obvod: obsahuje **smyčku** (prochází danými vstupy a hradly jen jednou).
Zpětná vazba zavádí paměťový prvek.

SEKVENČNÍ OBVODY

- Aby měl obvod paměť:
- musí mít 2 stabilní stavy
 - musí mít možnost číst tyto stavy
 - musí umožnit alespoň jednou nastavení stavu (*set*)

Klopný obvod S-R (*Set-Reset Latch*)



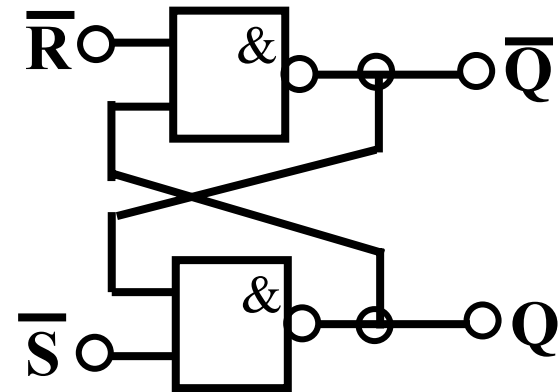
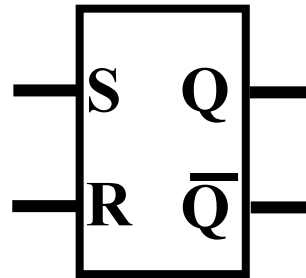
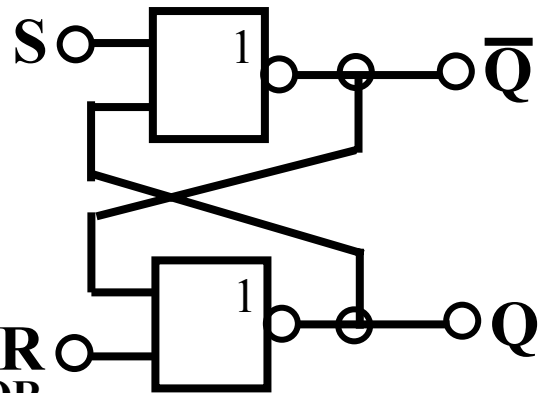
Obvod má 2 stabilní stavy po odejmutí log. úrovní na vstupech.

Je bistabilní. Chová se jako paměť pro 1 bit.

Nastavení daného stavu závisí na předchozím stavu (historii).

Klopný obvod S-R (*S-R latch*)

X	Y	NOR	NAND
1	1	0	0
1	0	0	1
0	1	0	1
0	0	1	1



NOR

S	R	Q_{t+1}	\bar{Q}_{t+1}	
1	1	0	0	nedefinováno
1	0	1	0	Set
0	1	0	1	Reset
0	0	Q_t	\bar{Q}_t	beze změn

NOR je aktivní v log. 1

Je-li na 1 vstupu log.1, je na výstupu log.0 nezávisle na log. úrovni 2.vstupu
 $\Rightarrow S=R=0$ nezpůsobí změnu výstupu

NAND

\bar{S}	\bar{R}	Q_{t+1}	\bar{Q}_{t+1}	
1	1	Q_t	\bar{Q}_t	beze změn
1	0	0	1	Reset
0	1	1	0	Set
0	0	1	1	nedefinováno

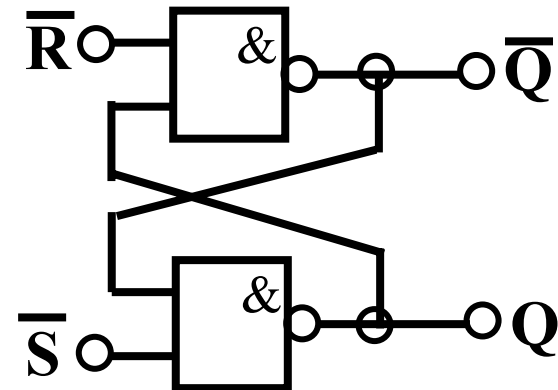
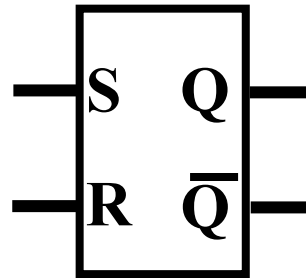
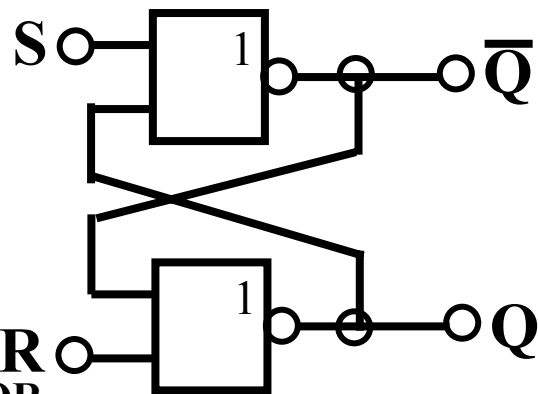
NAND je aktivní v log. 0

Je-li na 1 vstupu log.0, je na výstupu log.1 nezávisle na log. úrovni 2.vstupu
 $\Rightarrow \bar{S}=\bar{R}=1$ nezpůsobí změnu výstupu

Výstup zůstane v požadovaném stavu i po odeznění aktivní úrovně na vstupu \Rightarrow má paměť.

Klopný obvod S-R (*S-R latch*)

X	Y	NOR	NAND
1	1	0	0
1	0	0	1
0	1	0	1
0	0	1	1



NOR

S	R	Q_{t+1}	\bar{Q}_{t+1}	
1	1	0	0	nedefinováno
1	0	1	0	Set
0	1	0	1	Reset
0	0	Q_t	\bar{Q}_t	beze změn

$S=R=1$ vyžaduje $Q=\bar{Q}=0$
po zániku $S=1$ a $R=1$ nedef. výst. stav
 \Rightarrow nepřipustný stav

NAND

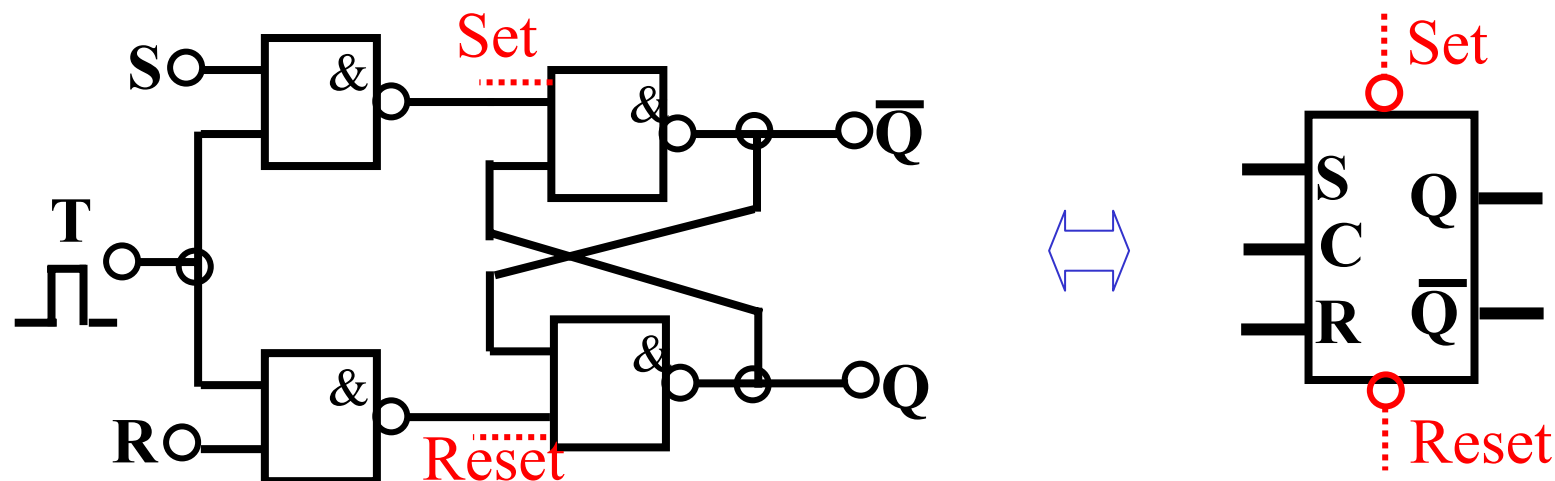
\bar{S}	\bar{R}	Q_{t+1}	\bar{Q}_{t+1}	
1	1	Q_t	\bar{Q}_t	beze změn
1	0	0	1	Reset
0	1	1	0	Set
0	0	1	1	nedefinováno

$\bar{S}=\bar{R}=0$ vyžaduje $Q=\bar{Q}=1$
po zániku $\bar{S}=0$, $\bar{R}=0$ nedef. výst. stav
 \Rightarrow nepřipustný stav

$S=0 \& R=1$, $S=1 \& R=0$ 2 přípustné stavy

$\bar{S}=0 \& \bar{R}=1$, $\bar{S}=1 \& \bar{R}=0$ 2 přípustné stavy

Klopný obvod S-R-T (*Clocked S-R Latch*)



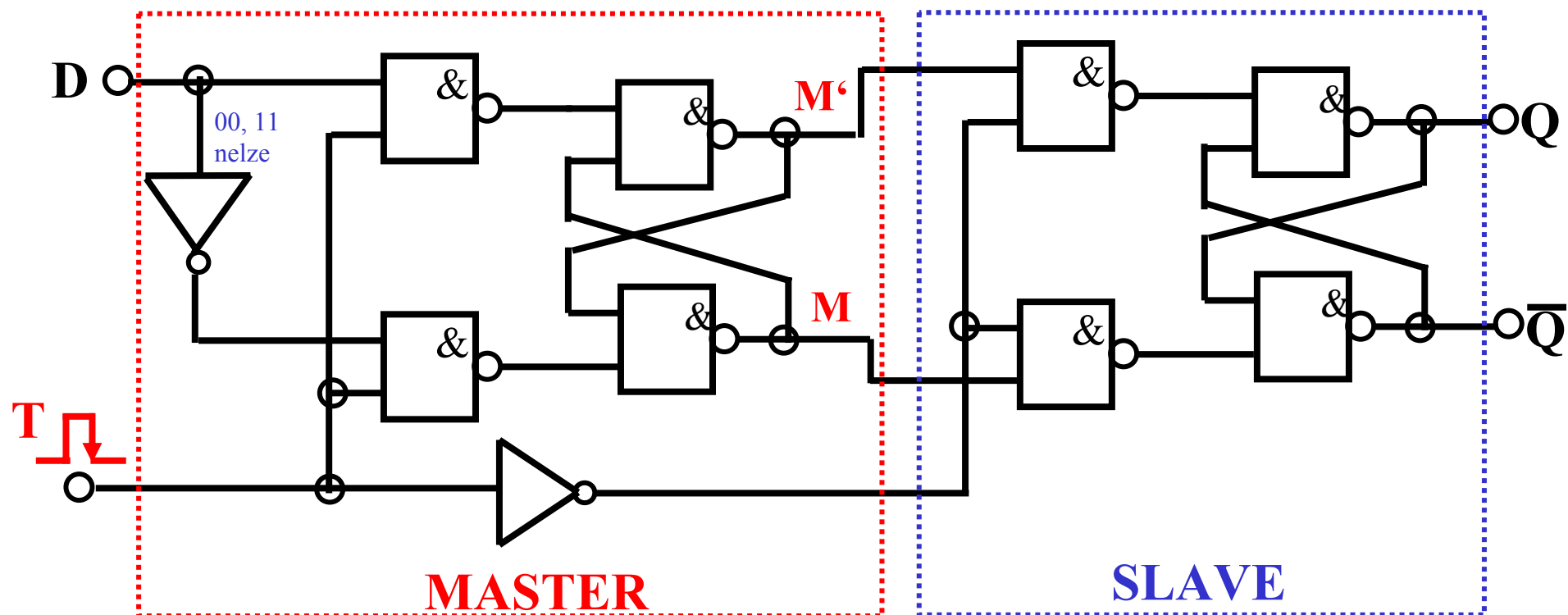
NOR

S	R	Q_{t+1}	\bar{Q}_{t+1}	
1	1	0	0	nedefinováno
1	0	1	0	Set
0	1	0	1	Reset
0	0	Q_t	\bar{Q}_t	beze změn

Stav výstupu je dán stavy vstupu při příchodu hodinového impulsu $T \Rightarrow$ vylučuje hazardní stavy (chyby dané zpožděními hradel) a uložení nesprávných log. hodnot (*glitch*).

Problém: stav výstupu fixován sestupnou hranou, v průběhu $T = 1$ se může měnit!

Klopný obvod D (Delay Latch, Data Latch)

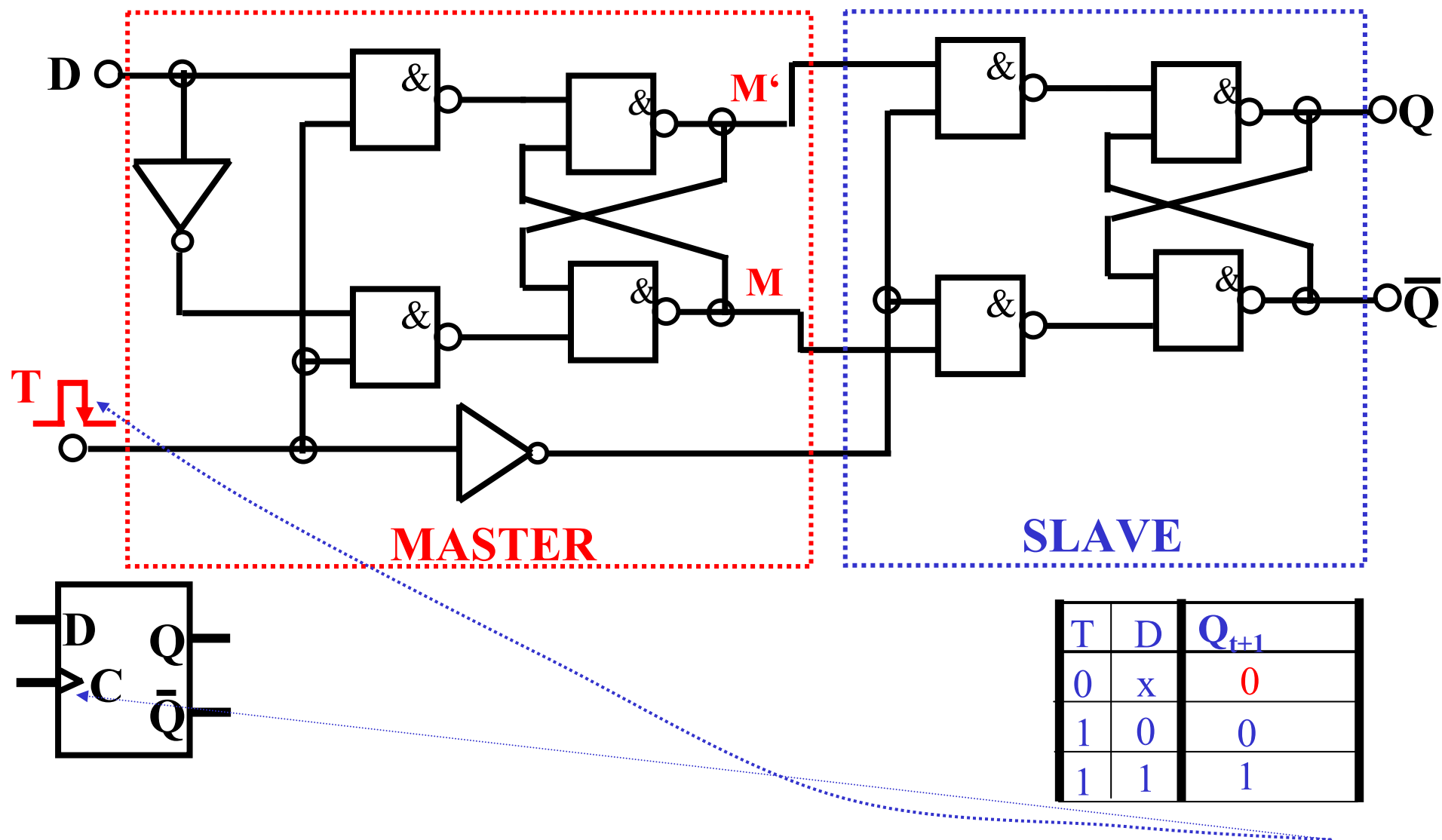


T=1: vstupy **MASTER** připojeny, **M'=D**, **M=D'**

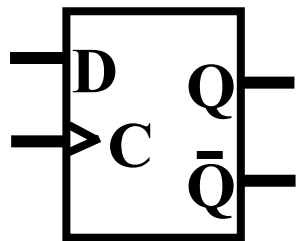
T=0: vstupy **MASTER** odpojeny, vstupy **SLAVE** připojeny,
přenos stavu výstupů **MASTER** do **SLAVE**

Klopný obvod je „**synchronizovaný hranou**“.

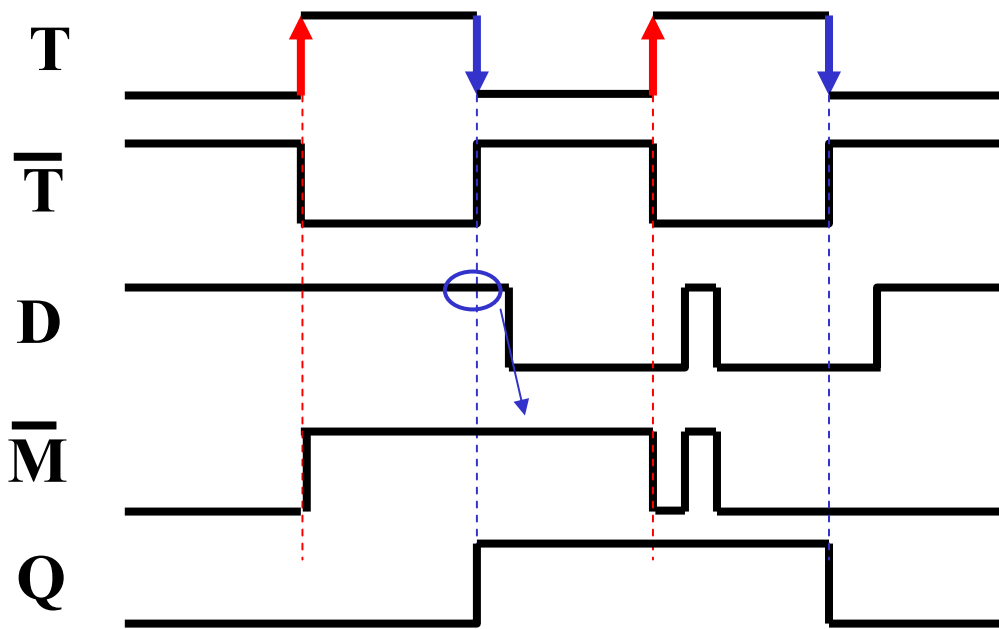
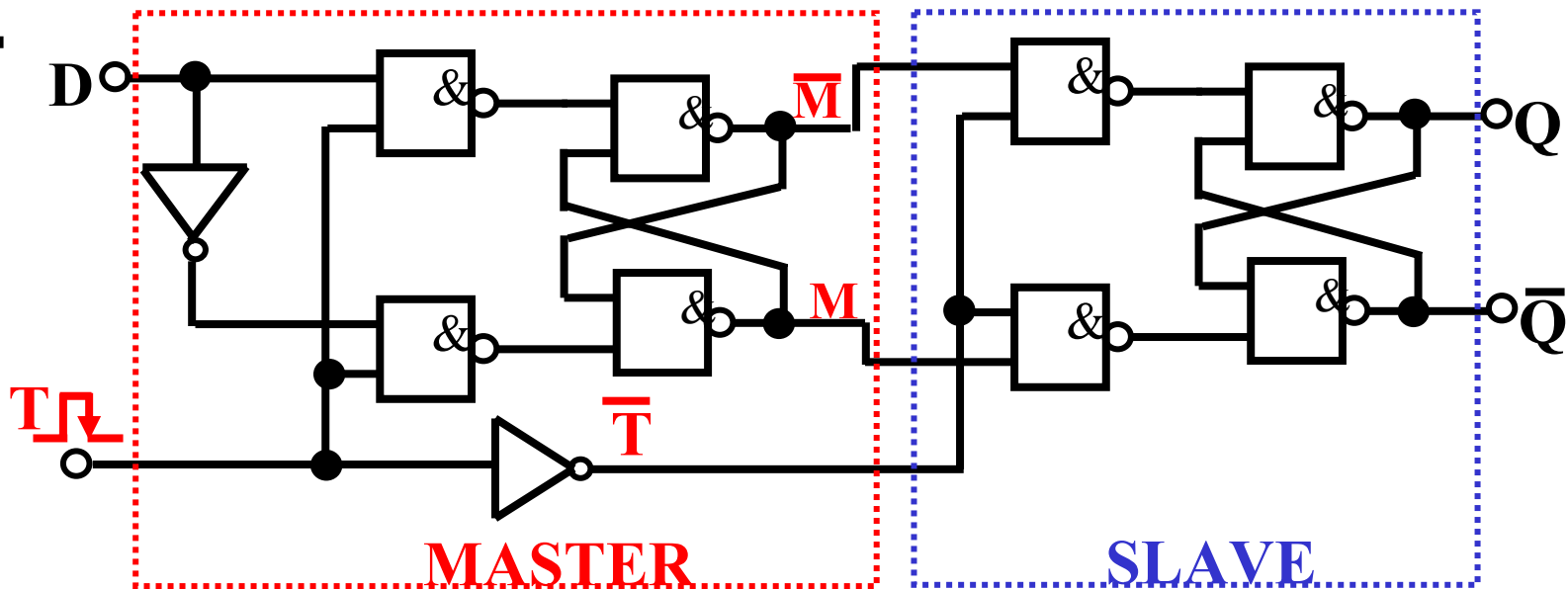
Klopný obvod D (Delay Latch)



Data ze vstupu D přenesena na výstup Q po skončení impulsu T.

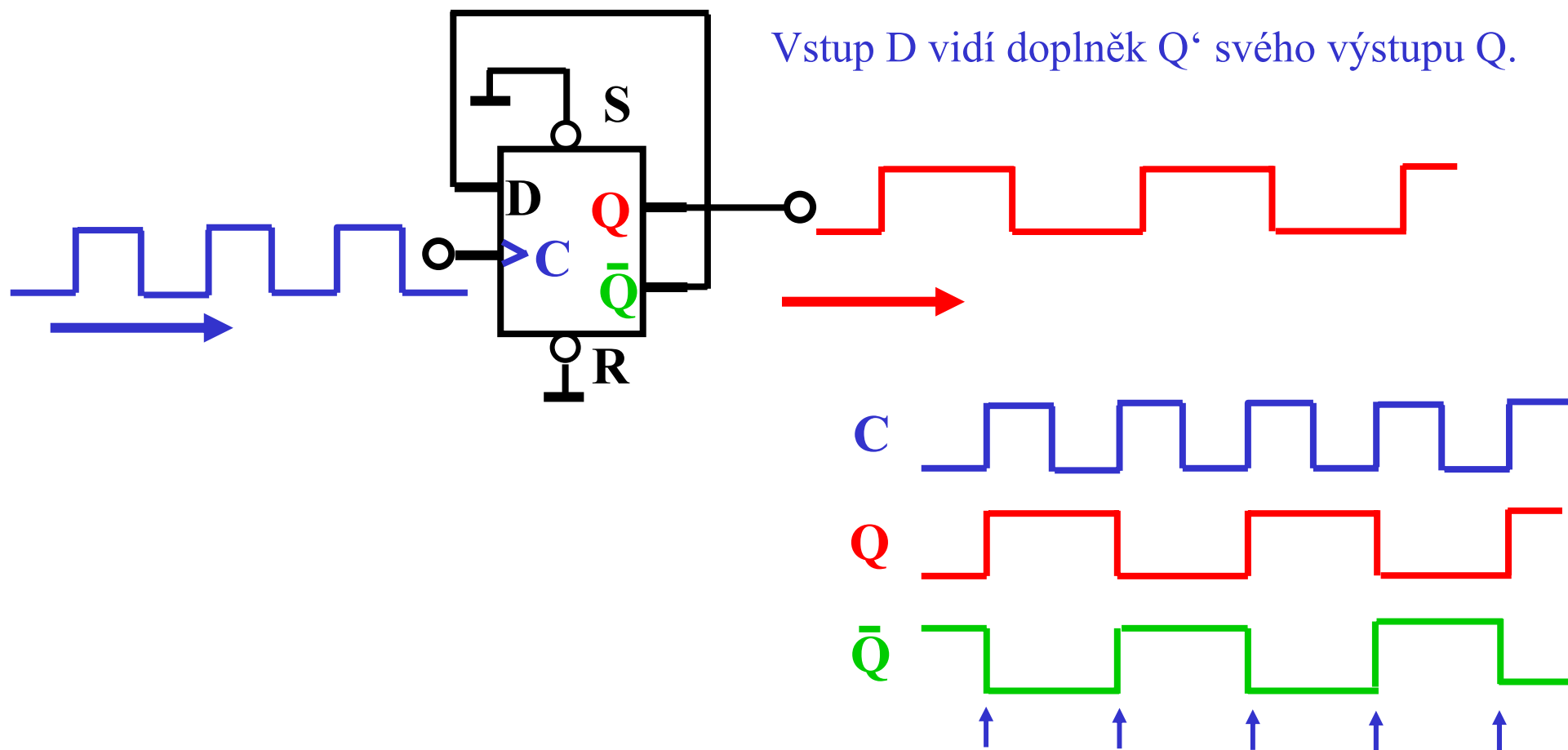


Klopný obvod D (*Delay Latch*)



T	D	Q_{t+1}
0	x	0
1	0	0
1	1	1

Dělička 2



Stav klopného obvodu se změní na opačný v okamžiku příchodu hodinového impulsu, tj. pouze při náběžné hraně $\Rightarrow :2$

Dvojkový čítač - asynchronní

